

中国科学技术大学

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

博士学位论文



论文题目	大亚湾中微子实验 PMT 读出电子学研究
作者姓名	蒋 文 奇
学科专业	物 理 电 子 学
导师姓名	王贻芳 研究员 安琪 教授 王铮 研究员
完成时间	二 〇 一 一 年 四 月

University of Science and Technology of China
A dissertation for doctor's degree



Research and Study of Front End Electronics for Daya Bay Neutrino Experiment

Author's Name: Wenqi Jiang

Specialty: Physical Electronics

Supervisor: Prof. Wang Yifang / An Qi / Wang Zheng

Finished time: May, 2011

声 明

中国科学技术大学学位论文原创性声明

本人声明所呈交的学位论文，是本人在导师指导下进行研究工作所取得的成果。除已特别加以标注和致谢的地方外，论文中不包含任何他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的贡献均已在论文中作了明确的说明。

作者签名：_____

签字日期：_____

中国科学技术大学学位论文授权使用声明

作为申请学位的条件之一，学位论文著作权拥有者授权中国科学技术大学拥有学位论文的部分使用权，即：学校有权按有关规定向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅，可以将学位论文编入《中国学位论文全文数据库》等有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。本人提交的电子文档的内容和纸质论文的内容相一致。

保密的学位论文在解密后也遵守此规定。

☐公开 ☐保密（____年）

作者签名：_____

导师签名：_____

签字日期：_____

签字日期：_____

摘 要

读出电子学系统是高能物理实验的重要课题，一个成熟可靠、性能优良的读出电子学系统对于实验的成功起着关键性的作用。

本篇论文论述了大亚湾中微子实验 PMT（光电倍增管）读出电子学的研究，以大亚湾中微子实验的具体需求为目标，在借鉴 ATLAS 与 BESIII 读出电子学的基础上，完成了大亚湾实验的 PMT 读出电子学；文中详细介绍了 PMT 读出电子学的设计方案。

与国内外同类电路相比，大亚湾 PMT 读出电子学具有动态范围大、测量精度高、死时间更短等优点；DAQ、模型探测器、中心探测器 Dryrun 实验中 FEE 的测试结果表明，PMT 读出电子学的设计是成功的，实现了既定设计目标，能够满足大亚湾实验对 PMT 信号读出的要求。

作为 PMT 读出电子学研究重要组成部分的 PMT 信号分析，发现了陶瓷电容在高压下的振荡现象，这是国内外高能物理实验中首次发现并解决陶瓷电容高压下的振荡现象，为实验设计提供最优化改进的方案。

而作为 PMT 读出电子学改进设计有效环节的 FEE 数据分析，既从物理角度研究了 FEE 的读出时间窗口长度对物理事例的影响，又从电子学的角度对 Fadc 插件性能进行了检验；同时基于 LED 事例下的触发效率研究更是对整个大亚湾实验的触发效率预测有着重要的参考作用。

目前大亚湾中微子实验的 PMT 读出电子学已经完成了基本的设计，基于反中微子探测器的 PMT 读出电子学系统的最终设计方案在 2009 年通过了专家评审，并且成功应用在 DryRun 实验中。实验结果表明，PMT 读出电子学的性能和可靠性满足大亚湾实验的设计要求。

关键字：大亚湾中微子实验，PMT 读出电子学，FEE，信号研究，数据分析

Abstract

Readout electronic system is an important research project in high energy physics experiments. A reliable and capable readout electronic system plays a key role in the experiments.

This dissertation demonstrated the research of photomultiplier tube (PMT) readout electronic system for Daya Bay neutrino experiment. The Front End Electronic (FEE) system for Daya Bay experiment had been developed based on ATLAS and BESIII FEE. The design scheme of FEE is full introduced in this paper.

Comparing with other similar Front End Electronic systems designed in Europe and USA, our system has a larger dynamic range and a better resolution for small signals. The conclusion with FEE tested in DAQ、Prototype and Dryrun show that it is feasible to achieve a more accurate charge and time measurement resolution and a wider dynamic range when using our FEE board. The board design is successful and can meet the requirements of PMT readout for Daya Bay Neutrino Experiment.

Ringling was found in the PMT signal test, which was an important part of the PMT readout electronic study, and the piezoelectric effect of ceramic capacitors under high voltage was found as the cause of the ringing. That was the first time to find and solve such ringing signal problem in high energy physics experiment home and abroad.

The FEE data analysis which study the FEE readout time window、check the performance Flash ADC、analyze the LED event trigger efficiency is a effective way to improve the design of FEE.

The basic design of PMT readout electronic system for Daya Bay neutrino experiment has been completed. The final design of FEE system has passed the experts' review in 2009. FEE was applied successfully during DryRun experiment in 2010, and the results of the experiment showed that the capability and reliability of the FEE could fulfill the demand of Daya Bay experiment.

Keywords: Daya Bay Neutrino Experiment, PMT Readout Electronic System, FEE, PMT Signal Study, Data Analysis;

目 录

摘 要.....	I
Abstract.....	II
目 录.....	III
图目录.....	VII
表目录.....	XIII
第 1 章 绪论.....	1
1.1 粒子物理与粒子物理实验	1
1.2 高能物理电子学系统概述	1
1.3 论文内容和结构	2
1.4 论文贡献及创新点	2
第 2 章 大亚湾反应堆中微子实验.....	3
2.1 物理背景	3
2.1.1 中微子震荡.....	3
2.1.2 探测量 θ_{13} 的物理意义	3
2.1.3 预期科学目标.....	3
2.2 大亚湾的总体布局	4
2.2.1 子探测器.....	5
2.2.2 中心(AD)探测器.....	5
2.2.3 反符合探测器.....	6
2.3 大亚湾电子学系统	6
2.3.1 PMT Readout Electronic System	6
2.3.2 RPC Readout Electronic System	7
2.3.3 Trigger System	7
2.3.4 Clock System.....	8
2.3.5 DAQ System	8
2.3.6 DCS System	9
2.4 本章小结	10
第 3 章 大亚湾实验 PMT 读出电子学(FEE).....	11
3.1 大亚湾 PMT 读出电子学的设计需求	11
3.1.1 电荷测量.....	12

3.1.2 时间测量	14
3.2 电荷测量方案	14
3.2.1 总体设计方案	14
3.2.2 滤波成形电路	15
3.2.3 寻峰逻辑	16
3.3 时间测量方案	17
3.3.1 时间测量特点	17
3.3.2 时间测量中的定时方法	17
3.3.3 基于 FPGA 的时间测量	18
3.4 FEE 硬件设计	19
3.4.1 FEE 总体结构	19
3.4.2 FEE 与其他插件的信号连接	20
3.4.3 FEE 印制板	22
3.5 本章小结	22
第 4 章 PMT 读出电子学信号研究	23
4.1 PMT 读出电子学模拟	23
4.1.1 电子学模拟的意义	23
4.1.2 电子学模拟软件介绍	23
4.1.3 光电倍增管信号读出	23
4.1.4 仿真电路	25
4.2 PMT 读出电子学信号研究	28
4.2.1 PMT 信号测试实验	28
4.2.2 PMT 信号测试出现振铃现象	28
4.2.3 PMT 大振铃信号产生原因的分析	29
4.2.4 PMT 大振铃信号的解决方法	29
4.2.5 实验小结	31
4.3 本章小结	31
第 5 章 PMT 读出电子学插件(FEE)单板测试	33
5.1 基本功能测试	33
5.1.1 输入波形	33
5.1.2 甄别器功能测试	34
5.1.3 成形输出信号测试	35
5.1.4 Esum 输出信号测试	35
5.1.5 nPMT 输出信号测试	36

5.1.6 低量程 ADC 台基恢复测试.....	37
5.2 电荷测量方案	38
5.2.1 单光电子的电荷量.....	38
5.2.2 台基及 RMS 测量.....	39
5.2.3 电荷分辨测量.....	40
5.2.4 积分非线性测量.....	41
5.3 FEE 时间测量方案.....	43
5.4 通道间串扰测试	44
5.5 本章小结	45
第 6 章 PMT 读出电子学小系统联调	47
6.1 PMT 读出电子学小系统.....	47
6.1.1 小系统介绍.....	47
6.1.2 小系统 DAQ	48
6.1.3 小系统数据格式.....	49
6.2 小系统 FEE 调试	50
6.2.1 FEE 电子学诊断模式	50
6.2.2 FEE 台阶模式	52
6.3 小系统联调	53
6.3.1 FEE 与 LTB 测试	53
6.3.2 FEE 与 FADC 测试	56
6.3.3 小系统 CBLT 测试.....	58
6.4 本章小结	60
第 7 章 PMT 读出电子学模型探测器验证	61
7.1 中微子模型探测器	61
7.1.1 中微子模型探测器系统.....	61
7.1.2 模型探测器 PMT 读出电子学系统.....	62
7.1.3 探测器刻度与监测.....	64
7.2 模型探测器系统测试	65
7.2.1 模型探测器 FEE 插件测试.....	65
7.2.2 模型探测器小系统测试.....	67
7.2.3 模型探测器 PMT/放射源测试	70
7.3 模型探测器研究成果	72
7.4 本章小结	73
第 8 章 PMT 读出电子学 DryRun 实验应用及研究	75

8.1	大亚湾 DryRun 实验.....	75
8.1.1	AD MiniDryRun 实验.....	75
8.1.2	AD DryRun 实验.....	76
8.2	Dryrun 实验 PMT 读出电子学系统应用	77
8.2.1	PMT 读出电子学.....	77
8.2.2	光电倍增管	78
8.2.3	中心探测器	79
8.2.4	小结	79
8.3	DryRun 实验 FEE 读出窗口研究	79
8.3.1	FEE 读出窗口.....	80
8.3.2	FEE 读出窗口配置对物理事例的影响.....	80
8.3.3	FEE 1.2us 读出窗口的应用.....	84
8.3.4	小结	88
8.4	DryRun 实验 FADC 分析	89
8.4.1	FADC 数据检查.....	89
8.4.2	FADC 动态范围.....	89
8.5	基于 DryRun 实验的触发效率研究.....	90
8.5.1	研究的意义	90
8.5.2	实验方法	90
8.5.3	触发效率的计算方法	91
8.5.4	影响触发效率的因素	94
8.5.5	触发效率研究小结	94
8.6	本章小结.....	94
第 9 章	总结	95
参考文献		97
发表文章		101
致 谢		103
附 录		105
DYB FEE VME Interface Descriptions		105

图目录

图 2-1 大亚湾反应堆中微子实验预期的灵敏度.....	4
图 2-2 大亚湾实验的总体方案图.....	4
图 2-3 实验大厅（远厅）示意图.....	5
图 2-4 左：探测器截面图，顶部安装有自动刻度装置和溢流罐；右：三层结构顶视示意图。最里层为靶层，中间为集能层，最外层为矿物油层。	5
图 2-5 实验大厅侧视图。所示为反符合系统的标准设计，包括水池顶部的 PRC 探测器，2.5m 厚的水屏蔽层和两层 8 英寸的光电倍增管。	6
图 2-6 RPC 读出电子学系统结构框图	7
图 2-7 触发系统框图.....	8
图 2-8 数据获取系统框架.....	9
图 2-9 监控系统框图.....	10
图 3-1 中心探测器各 PMT 接收到的光电子数的模拟结果	12
图 3-2 典型的 10 个光电子输入信号在 1×10^7 增益下的测量结果	13
图 3-3 PMT 电荷同 PMT 输入光电子关系图(增益为 1×10^7)	13
图 3-4 PMT 读出电子学系统电荷测量方案	15
图 3-5 理想放大成形电路仿真模型.....	15
图 3-6 CR-(RC) ⁴ 成形后的模拟输出波形	16
图 3-7 数字寻峰时序图.....	17
图 3-8 时间信息测量的过程示意图.....	18
图 3-9 PMT 时间测量示意图	19
图 3-10 PMT 读出电子学原理框图	20
图 3-11 FEE 插件 PCB 图(左)和 10 层板框图	22
图 4-1 中心探测器光电倍增管（PMT）信号读出电路模块图	24
图 4-2 滨松公司 R5912 光电倍增管外观图(左)和 Base 原理图(右).....	24
图 4-3 光电倍增管高压供电和信号读出电路—Decoupler/Splitter 电路原理图	25
图 4-4 FEE 单通道高低量程 CR-(RC) ⁴ 成形电路原理图	25
图 4-5 PMT 信号模拟产生电路	26

图 4-6 PMT 信号模拟产生电路仿真波形	26
图 4-7 FEE 单通道高低量程 $CR-(RC)^4$ 成形电路仿真电路图	27
图 4-8 FEE 成形电路仿真波形图	27
图 4-9 PMT 信号测试现场实验图	28
图 4-10 PMT 大信号尾部的振铃	29
图 4-11 Splitter 更换电容之后的对比实验	30
图 4-12 Base 更换电容之后的对比实验	30
图 5-1 信号发生器产生的模拟 PMT 输出信号	33
图 5-2 刻度模式下 FEE 产生的模拟 PMT 刻度信号	34
图 5-3 FEE 输入信号和甄别器前后端的输入输出信号	35
图 5-4 信号成形之后的输出波形	35
图 5-5 信号输入波形和 Esum 输出波形	36
图 5-6 nPMT 信号的 80M 时钟输出信号和 bit0_1 输出信号	36
图 5-7 nPMT 信号的 bit4_5 输出信号和 bit4_5 输出信号	37
图 5-8 FEE 刻度信号和 nPMT 在刻度模式下的输出信号	37
图 5-9 FEE 输入信号和低量程 ADC 输入信号	38
图 5-10 FEE 输入端单光电子波形信号	38
图 5-11 FEE 高低量程 16 路通道 ADC 台基平均值	39
图 5-12 FEE 高低量程 16 路通道 ADC 台基 RMS 值	40
图 5-13 FEE 16 测量通道的刻度结果	42
图 5-14 CH1 和 CH3 对 CH2 的串扰	44
图 5-15 输入 CH2 的周期信号	44
图 6-1 小系统结构示意图	47
图 6-2 小系统现场测试图	47
图 6-3 小系统 FEE 和 LTB 信号通讯图	48
图 6-4 小系统 DAQ 示意图	49
图 6-5 DAQ 事例格式	49
图 6-6 FEE ADC/DAC 关系示意图	51
图 6-7 FEE 电子学诊断直方图	51

图 6-8 FEE 单通道噪声谱	52
图 6-9 台阶模式下 FEE 电子学通道基线与噪声水平	52
图 6-10 LTB/FEE 初始化过程图	53
图 6-11 电子学诊断模式下的测试图	54
图 6-12 台阶模式下的噪声测试图	55
图 6-13 FEE 在 LTB 多种触发模式下的测试图	55
图 6-14 FEE 插件 DAC 刻度	56
图 6-15 FEE 插件 ADC 刻度	56
图 6-16 FADC 前端接收电路	57
图 6-17 FADC 前端电路探测的波形组图	57
图 6-18 FADC 插件输入信号波形(a)和重建波形(b)	58
图 6-19 CBLT 响应时序图	59
图 6-20 小系统整体联调中一次 CBLT 的数据块	59
图 7-1 模型探测器设计框图	62
图 7-2 模型探测器 PMT 支撑结构框图	62
图 7-3 模型实验 DAQ 框架	63
图 7-4 模型实验 DAQ 系统前端软件流程	64
图 7-5 模型实验 DAQ 和数据显示用户界面：左为 DAQ 界面，右为数据显示界面	64
图 7-6 模型实验 FEE 插件电子学噪声谱	66
图 7-7 模型实验 FEE 插件电电荷测量精度	66
图 7-8 FEE 插件 ADC 输出谱(左)和每个通道 DNL 测量值(右)	67
图 7-9 模型实验数据格式：左为文件内数据格式，右为数据头基本格式	67
图 7-10 模型实验数据获取逻辑流程图	68
图 7-11 模型实验有效触发限制逻辑	68
图 7-12 模型实验 LTB 触发时间精度测试	69
图 7-13 模型实验 FEE 通道击中时间测试结果	69
图 7-14 模型实验调试本底测量：左为本底事例率，右为本底能谱	70
图 7-15 模型实验单光电子谱数据拟合	70
图 7-16 模型实验 VME(左)与 Camac(右)刻度对比	71
图 7-17 模型实验 ^{137}Cs 能量响应光电子谱	71

图 7-18 模型实验天然放射性本底谱(光电子).....	71
图 7-19 模型实验的探测器(中心)能量响应曲线(左)以及能量分辨率曲线(右)	72
图 7-20 探测器中心点, γ 源与实验数据比较: 左为 ^{133}Ba , 中为 ^{137}Cs , 右为 ^{22}Na ..	72
图 7-21 模型探测器中心点, 中子探测效率测量(左)和模拟计算(右)对比图	73
图 7-22 中子俘获时间常数与 Gd 原子(左)和 H 原子(右)的原子比例关系	73
图 8-1 AD MiniDryRun 实验俯瞰图	75
图 8-2 AD MiniDryRun 实验 PMT 读出电子学系统	76
图 8-3 AD DryRun 实验流程示意图	77
图 8-4 DryRun 实验读出电子学工作状态	78
图 8-5 DryRun 实验 FEE 的性能分析	78
图 8-6 DryRun 实验 PMT 增益图	79
图 8-7 DryRun 实验中心探测器实验结果组图	79
图 8-8 FEE 读出窗口示意图	80
图 8-9 IBD 总事例数(左)/1.2us 时间窗内事例数(中)/1us 时间窗内事例数(右)	81
图 8-10 Muon 总事例数	82
图 8-11 1us-1.2us 读出窗口内 Muon 事例数	82
图 8-12 1.175us~1.225us 时间窗内 IBD 事例数	84
图 8-13 单 Hit 的 TDC 分布图	85
图 8-14 平均暗噪声随时间的变化	85
图 8-15 双 Hit 为例的多 Hit-TDC 分布图	86
图 8-16 多 Hit 事例后 Hit 的 PreAdc 图	86
图 8-17 External trigger 获取 A&R 数据示意图	87
图 8-18 TDC 信号分布示意图	87
图 8-19 A&R 同 LED 电荷量对比图	88
图 8-20 A&R 不同 τ 下电荷量分部图	88
图 8-21 FADC 某通道前 N 个物理事例的组图	89
图 8-22 FADC 通道基线组图	90
图 8-23 LED 事例在 0-T 时间窗内的分布图	91
图 8-24 run708 前 6 秒每秒 LED 事例的 Δt 展宽图(左)和前 6 秒 LED 事例的 Δt 总展	

宽图	92
图 8-25 run708 第 1、10、20、30、40、50 秒 LED 事例的 Δt 展宽图	92
图 8-26 ΔT 修正前后 run708 第 1 秒内 LED 事例在 0-T 时间窗的对比图	93
图 8-27 LED 发光周期 ΔT 修正后得到的触发效率曲线	93

表目录

表 3-1 PMT 读出电子学(FEE)的设计指标.....	11
表 3-2 PMT 读出电子学系统内各插件之间的信号及连接定义	21
表 5-1 DAC 的输出电压和 DAC 值对应表.....	34
表 5-2 校准刻度模式下 FEE 电荷测量 RMS 值	40
表 5-3 FEE 标准刻度模式下 16 通道的斜率、截距和积分非线性	42
表 5-4 FEE 时间测量中 TDC 的 RMS 值	43
表 5-5 CH2 无信号输入时 CH1 和 CH3 通道 ADC 的平均值(av)和方差(stdev/sdev) ..	45
表 5-6 CH2 有信号输入时 CH1 和 CH3 通道 ADC 的平均值(av)和方差(stdev/sdev) ..	45
表 6-1 小系统电子学数据格式.....	49
表 6-2 PMT 读出电子学(FEE)数据格式.....	50
表 6-3 LTB 和 FEE 测试项目表	54
表 8-1 AD MiniDryRun 实验中 PMT 与 FEE 插件的连接关系表	76

第1章 绪论

1.1 粒子物理与粒子物理实验

日常生活中称之为高能物理的粒子物理学科，是高能物理学科的一个重要分支，也是研究微观物质特性以及微观物质间在高能量下相互作用规律和原因的一门学科。

粒子物理实验是人类认识自然的重要手段，一直在学科的发展上起着重要的推动作用。理论和实验相辅相成、互相促进，粒子物理理论和粒子物理实验也在相互的促进中推动着粒子物理学科的发展。

探测器、粒子源、数据分析是构成粒子物理实验的三个重要部分。当前，加速器物理实验的高能量、高亮度研究以及非加速器物理实验研究是新一代粒子物理实验三个研究前沿。如今正在在中国建设中的大亚湾反应堆中微子实验^[1]，正是非加速器物理实验的代表之一。

1.2 高能物理电子学系统概述

粒子加速器和粒子探测器技术在飞速发展^[2]，粒子实验中电信号获取和处理的需求也在不断提高，这也推动着探测器读出电子学系统的快速发展。

高能物理实验中电子学技术^[3]的最前沿的发展趋势包括以下几个方向：

1) 前置模拟放大电路的定制化，更多地采用专用集成电路（Application Specific Integrated Circuit，简称 ASIC）实现。

2) 高速、超高速波形数字化^[4,5,6,7]技术的应用越来越普遍。现代高能物理实验中的快信号要求电子学系统有足够高的采样率才能使恢复的信号不丢失物理信息。

3) 大规模可编程逻辑器件^[8,9,10,11]的使用，这些器件丰富了硬件工程师的设计方法。

4) 更多地使用各种高速串行数据传输技术^[12]。

5) 3D 电子学^[13]的出现，大大提高了电子学系统的集成度。

总的来说，读出电子学系统在朝着定制化、高速化和体积小型化的方向不断发展。

1.3 论文内容和结构

读出电子学系统在任何一个高能物理实验中都是不可或缺的重要组成，本文共分为 9 个章节，详细描述了研究工作的全部内容。

第 1 章绪论介绍了高能物理和高能物理实验；第 2 章简要介绍了大亚湾中微子实验的设计，包括各个实验站点的设计，探测器的设计以及读出电子学系统的组成；第 3 章对大亚湾实验 PMT 读出电子学 FEE 的设计需求进行了分析，并确定读出电子学系统的各项具体设计指标，包括电荷测量的动态范围、噪声指标、时间测量的动态范围和测量精度要求等，同时对于如何达到设计指标进行了阐述；第 4 章详细阐述了 PMT 读出电子学的信号研究，包括读出电子学的模拟和 PMT 读出电子学信号中的振铃现象；第 5 章介绍了 FEE 插件的单板测试情况，在单板测试中 FEE 均达到了其设计指标；第 6 章是重点探讨了小系统联调侧重在小系统的 DAQ、数据格式、CBLT 等多个部分；第 7 章是 FEE 插件在高能所模型探测器中的验证使用，这是真实探测器下的验证使用，也给出了模型探测器的研究结果；第 8 章介绍了是 FEE 在大亚湾现场 DryRun 系统中的应用，FEE 的读出窗口研究和 FEE 数据分析以及 LED 事例下的触发效率研究是本章的内容；第 9 章对论文工作进行了总体上的概括。

1.4 论文贡献及创新点

根据大亚湾反应堆中微子实验 PMT 读出电子学的需求，研发了高精度、高分辨的 PMT 读出电子学插件并成功应用顺利推动了项目前进；同时论文中对大亚湾实验中的 PMT 信号进行了分析，解决了振铃信号的问题；后期对大亚湾 DryRun 实验数据的研究为大亚湾实验进行物理取数积累了经验。

大亚湾反应堆中微子实验是国际上同类实验精度最高的，作为大亚湾工程建设的一部分，论文的创新点包括：

- 按照设计需求完成了高精度高分辨的 PMT 读出电子学并成功应用；
- 对大亚湾实验 PMT 信号进行了分析，发现了陶瓷电容在高压下的振荡现象，这是国内外高能物理实验中首次发现陶瓷电容高压下的振荡现象；
- 分析 LED 事例下 FEE 数据，研究了 FEE 对物理事例的影响以及 LED 事例下的触发效率；

第2章 大亚湾反应堆中微子实验

2.1 物理背景

2.1.1 中微子震荡

中微子振荡^[14,15,16,17,18]在近年来世界各大实验中取得巨大进展，中微子振荡在 Super-K^[19]，SNO^[20]与 KamLAND^[21,22]实验中先后被发现，从而开启了发掘新物理的突破口，对宇宙学与天体物理也有深远的影响。

在中微子振荡参数中已测得确切数值的有三个半： $\sin^2 2\theta_{12}$ ， $\sin^2 2\theta_{23}$ ， Δm_{21}^2 和 $|\Delta m_{32}^2|$ ；未知的包括 $\sin^2 2\theta_{13}$ ， δ_{CP} ，和 Δm_{32}^2 的符号^[23,24,25,26,27,28,29]。根据多个中微子实验数据拟合得到的振荡参数为（95%置信水平）：

$$\begin{aligned}\Delta m_{21}^2 &= 7.92(1.00 \pm 0.09) \times 10^{-5} \text{ eV}^2, & \sin^2 \theta_{12} &= 0.314(1.00^{+0.18}_{-0.15}) \\ |\Delta m_{32}^2| &= 2.4(1.00^{+0.21}_{-0.26}) \times 10^{-3} \text{ eV}^2, & \sin^2 \theta_{23} &= 0.44(1.00^{+0.41}_{-0.22}) \\ \sin^2 2\theta_{13} &< 0.17\end{aligned}$$

其中 θ_{13} 只测到了上限，而 δ_{CP} 的数值近期内还无法测出。

2.1.2 探测量 θ_{13} 的物理意义

θ_{13} 是六个最基本的中微子物理中参数之一，决定着未来中微子物理的发展方向。如果精确测量 θ_{13} 不是接近于零，那么有可能在 10^{16}GeV 能量标度下实现大统一。

目前国际上还未给出 $\sin^2 2\theta_{13}$ 肯定的答案。Chooz^[30]，Palo Verde^[31] 与 Super-K 等实验在直接实验勘察中未发现 θ_{13} 振荡的实验证据，按照目前全部中微子实验数据最可能的拟合结果是 $\sin^2 \theta_{13}$ 的最可几值约为 0.01（相应于 $\sin^2 2\theta_{13}=0.04$ ）。目前理论上对 $\sin^2 2\theta_{13}$ 的预言基本上集中在 0.001-0.1 之间^[32]。因此实验上如果可以测量 $\sin^2 2\theta_{13}$ 的灵敏度应达到 0.01 以下那将是巨大的突破和成就。

2.1.3 预期科学目标

测量中微子混合角 θ_{13} 到 $\sin^2 2\theta_{13}<0.01$ 的精度是大亚湾反应堆中微子实验预期的科学目标。图 2-1 为实验所预期中的 $\sin^2 2\theta_{13}$ 测量范围。由于 Δm_{31}^2 和 $\sin^2 2\theta_{13}$ 两个参数决定了反应堆中微子的振荡几率^[33,34,35,36]，所以从图中可看到两维曲线。大亚湾实验方

案在实验厅的位置优化选点时参考了 Δm^2 的数值，使能够对 $\sin^2 2\theta_{13}$ 测量在这一区域内达到 0.01 以下^[37]。

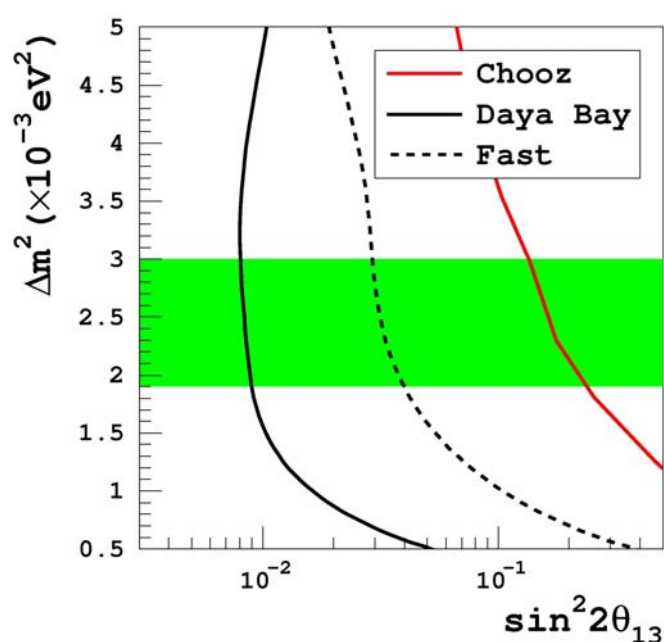


图 2-1 大亚湾反应堆中微子实验预期的灵敏度

2.2 大亚湾的总体布局^[38]

大亚湾中微子实验站其平面示意图如 2-2 所示，大亚湾近点和岭澳近点是两个近厅，其大概的面积为 622.5 m²，远点称为远厅，面积大约为 982.5 m²。



图 2-2 大亚湾实验的总体方案图

大亚湾实验将充分利用实验区优势条件对中微子进行远近校验测量。1 号和 2 号点实验厅分别对大亚湾实验区的反应堆进行测量，预期精确给出反应堆释放的中微子总数和能谱。同时是否存在中微子振荡可以从比较远近点探测器的测量结果中得出。

2.2.1 子探测器

每个实验厅内包含中心(AD)探测器、水切伦科夫探测器和阻性板(RPC)探测器 3 种探测器^[39]，如 2-3 所示。在近实验厅内安置 2 个 AD 中心探测器，远实验厅放置 4 个 AD。

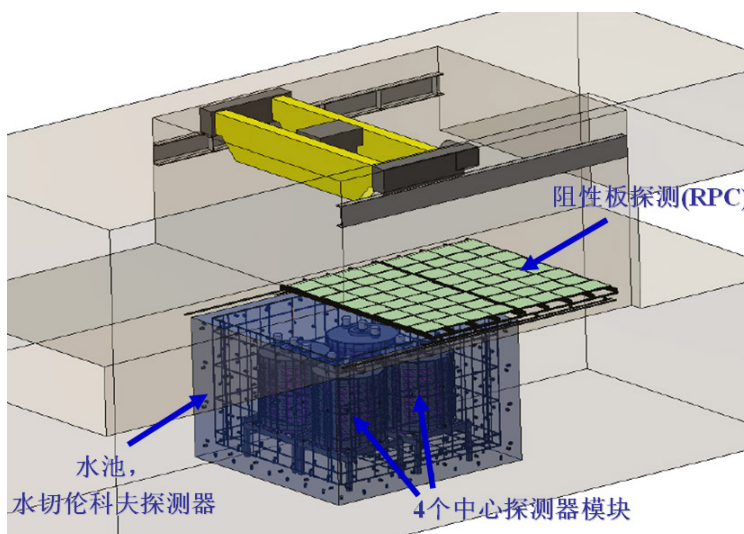


图 2-3 实验大厅（远厅）示意图

2.2.2 中心(AD)探测器

中心探测器设计为一个直径 5 米、高 5 米结构的圆柱形探测器，如下图 2-4 所示。

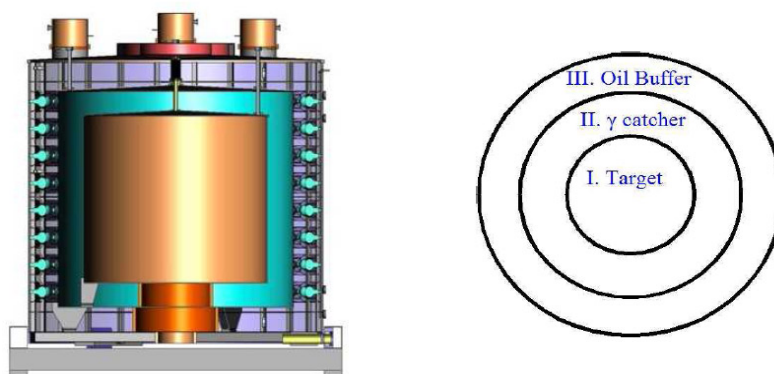


图 2-4 左：探测器截面图，顶部安装有自动刻度装置和溢流罐；右：三层结构顶视示意图。最里层为靶层，中间为集能层，最外层为矿物油层。

液体闪烁体（液闪）作为中微子的靶心位于最里层（I），中间层（II）的集能层被普通的液体闪烁体所包围，最外层（III）为矿物油屏蔽层，用来屏蔽天射放射性进入液闪。

2.2.3 反符合探测器

宇宙射线产生的 μ 子是中微子实验的主要本底来源。一般来说减小这类本底的主要方法是将探测器用岩石覆盖。但同时考虑到周五岩石释放出的 γ 光子，我们将中心探测器置于水中以将本底减少到最小。

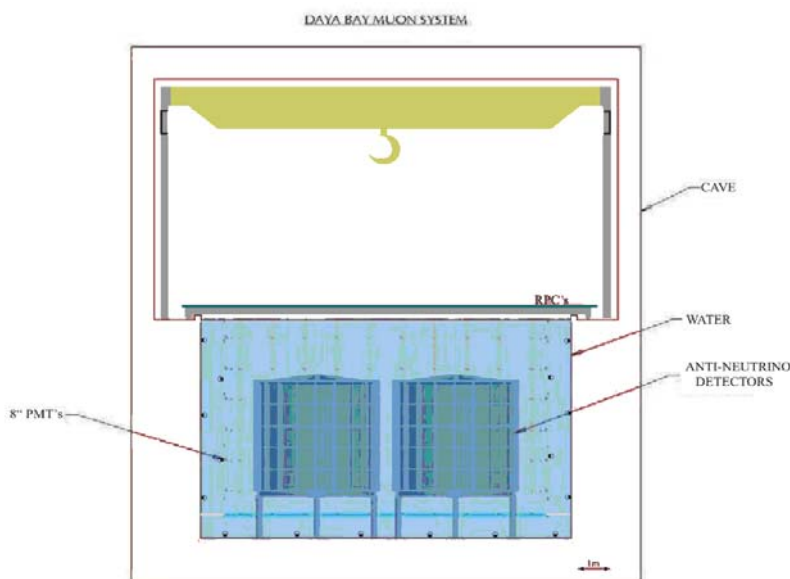


图 2-5 实验大厅侧视图。所示为反符合系统的标准设计，包括水池顶部的 RPC 探测器，2.5m 厚的水屏蔽层和两层 8 英寸的光电倍增管。

图 2-5 是当前反符合系统的标准方案设计图。如图所示，中心探测器模块被浸置在装有高纯水的水池里，水池顶部是 RPC 探测器，与水池的契伦科夫探测器联合形成对 μ 子的完整探测。

2.3 大亚湾电子学系统

大亚湾的电子学系统包括 PMT Readout Electronic System, RPC Readout Electronic System, Trigger System, DAQ System 和 DCS System。电子学系统的全局设计思路使得各个子探测器采用各自独立的一套读出系统其中包含 Readout Electronic System、Trigger System 和 DAQ System。

2.3.1 PMT Readout Electronic System^[40]

PMT Readout Electronic System，主要用来用于探测器中光电倍增管的信号读出。在

大亚湾实验中反符合探测器和水池切伦科夫探测器内部安置有 PMT。按照经验我们将这两套 Readout Electronic System 规划为相同的两个电子学硬件设计，只需要完善各自的 FPGA 逻辑功能来实现各子探测器的设计目标。PMT Readout Electronic System 的具体设计将在后续的章节详细介绍。

2.3.2 RPC Readout Electronic System^[41]

RPC Readout Electronic System，作为反符合信号探测的主要电子学，用于去除宇宙线干扰下的中微子事例的读出。

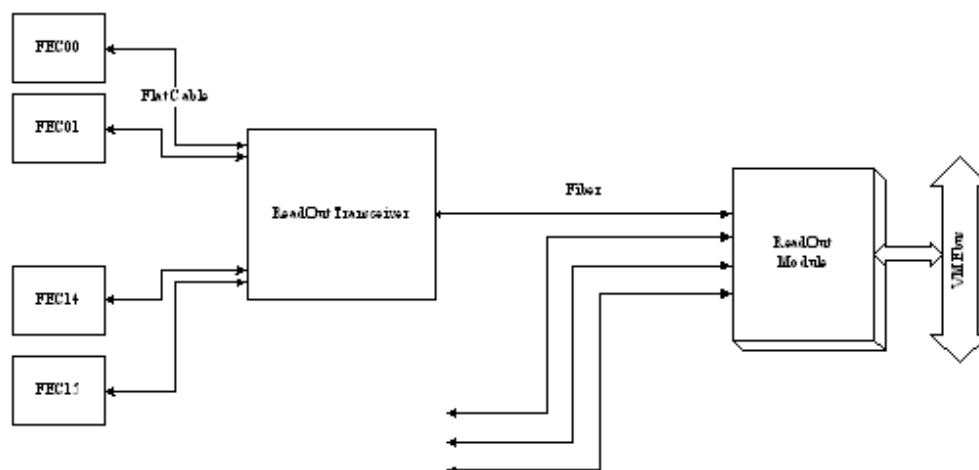


图 2-6 RPC 读出电子学系统结构框图

大亚湾反应堆中微子实验中，阻性板探测器的信号按 Module 读出，由 Module 前端的 FEC 插件来完成。同时在 FEC 插件是完成 32 道信号的数字转换。在 FEC 插件上设计有触发处理的功能，依照本地的 Trigger 逻辑出给决定数据取舍的触发信号完成数据的获取。在 External-Trigger 模式下，多通道的 FEC 信号送入 FIFO，等待全局触发判选系统的信号进行数据选通从而完成数据的读取。

2.3.3 Trigger System^[42]

图 2-7 为 Trigger System 框图。Trigger System 由各套子触发系统构成，包括 AD 中心探测器触发系统，RPC 探测器触发系统和水池内外探测器触发系统。同时在远近停内放置有一个交互触发传输板以为后期的 Trigger Efficiency 研究和各子触发系统的 Cross Check 做准备。

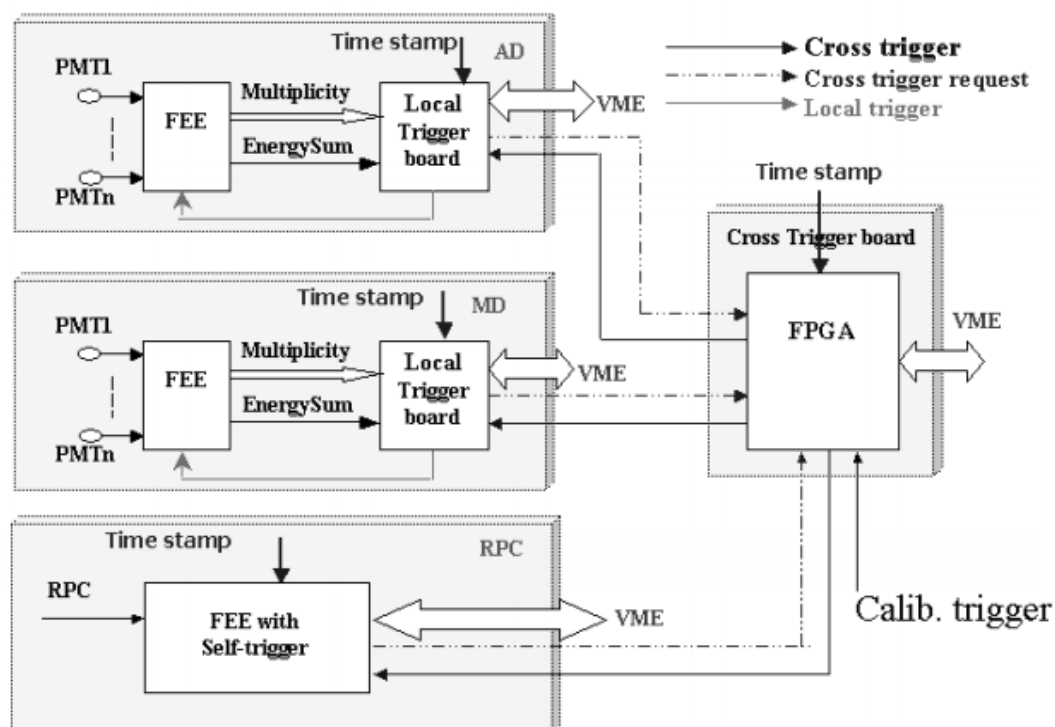


图 2-7 触发系统框图

除了 IBD 事例触发，AD 中心探测器 TriggerSystem 还要应用于几种其他类型的触发。如 LED 脉冲系统产生的触发，周期性光源探测器监测触发，特定能量放射源探测器响应触发，随机本底周期触发。

2.3.4 Clock System^[43]

独立的 DAQ 小系统和 LTB 插件服务于每个 AD 中心探测器和 μ 子探测器，这种设计需要完成每套子系统的数据同步以达到测量需求。为了实现大亚湾实验的预期目标，设计要求时间系统为各子系统、电子学来提供全局的基准时间。在离线数据中就可以通过事例的时间标签，来对各种系统问题进行诊断和分析。Clock System 由主时钟、局域时钟、时间控制板、时间扇出四部分所组成。

2.3.5 DAQ System^[44]

DAQ System 主要具有以下功能：

- 根据触发结果读取电子学插件数据；
- 将电子学事例数据进行组装打包；
- 进行在线监测和最终触发判选；

DAQ 的架构设计如图 2-8 所示。大亚湾反应堆中微子系统由 3 套 DAQ 组成，远厅和近厅各拥有一套。

图 2-8 数据获取系统框架

2.3.6 DCS System^[45]

图 2-9 为检测系统框图。端点传感器和读入模块是智能的, 适应工业通信环境标准, 包含数字化输出。优化的现场总线方案在数据读出模块和 SCADA 系统之间的通信中被采用。

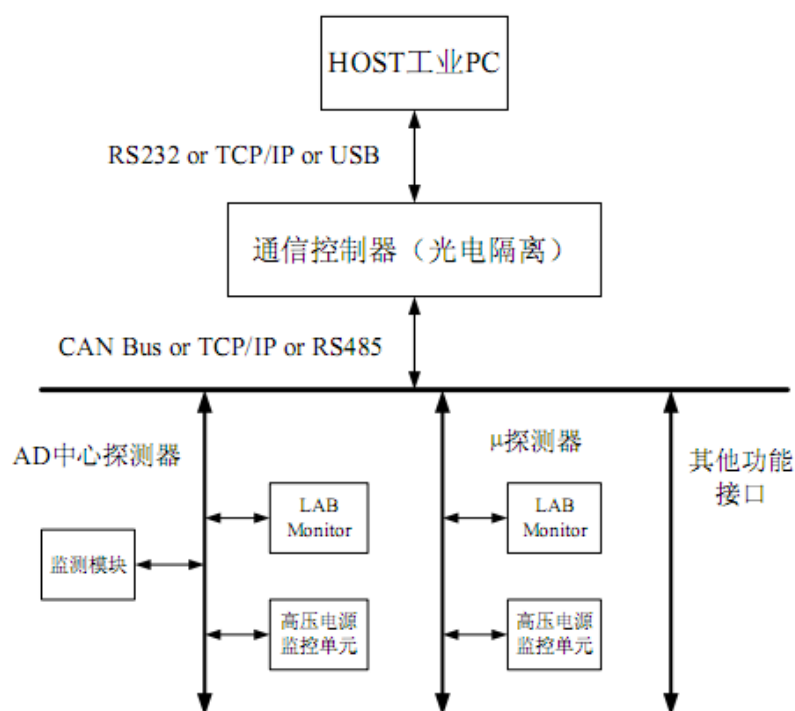


图 2-9 监控系统框图

2.4 本章小结

本章从大亚湾中微子实验中的物理背景出发，在介绍了中微子振荡、 θ_{13} 的意义和预期目标的基础上，阐述了大亚湾实验的整体布局及其子探测器和电子学系统。

读出电子学与探测器紧密连接，在整个大亚湾实验中起着承上启下的作用，在下一章中我们将对读出电子学进行详细的介绍。

第3章 大亚湾实验 PMT 读出电子学(FEE)

大亚湾实验的测量精度包括探测器和电子学两个部分的贡献，如前所述，大亚湾实验的高精度的探测器设计方案已经确定，需要有一套高精度的与探测器配套的读出电子学系统，电子学的设计指标将直接影响到整个实验的测量精度、分辨率，直接关系数据的有效性以及分析结果。本章将介绍 PMT 读出电子学(FEE)的设计需求、测量方案和电路设计。

3.1 大亚湾 PMT 读出电子学的设计需求

PMT 读出电子学系统主要用来接收 PMT（光电倍增管^[46]）输出信号，并对其做必要的信号处理。它的基本功能包括：

- A. 测定每个光电倍增管输出的电荷量，以此来确定粒子在液体闪烁体中的能量沉积。这可以帮助我们区分中微子事例，分辨噪声本底，由此推出反中微子能谱。
- B. 提供每个 PMT 信号到达的精确时间信息，此信息可以用于探测器内部反中微子事例反应顶点的位置重建，同时可以用来研究本底并去掉本底的影响。
- C. 为触发系统提供快信息(总能量信息和 PMT 击中数信息)，作为事例判选的依据。其详细设计指标请参见下表

表 3-1 PMT 读出电子学(FEE)的设计指标

Item	specifications	Justification
single channel signal (noise) rate	20–50KHz	at threshold of 0.25 p.e.
charge dynamic range for coarse range	160 pC–1800 pC	Large enough to cover up to 2000 p.e. when PMT gain is set to 2E7
charge dynamic range for fine range	up to 160 pC	Cover all antineutrino events
shaping width	325ns	down to 1% peak value
sampling rate	40 MHz	accurately determine PMT pulse shape
ADC bits	12	for both fine range and coarse range

resolution(RMS)	$<0.16 \text{ pC}$	sufficiently fine to resolve 1 p.e. distribution for fine range
noise	$<1\text{mV}$ at input of FEE	electronics should not contribute to overall noise
discriminator threshold range	0–16mV	corresponding to signal amplitude at the input of FEE
time range	0–1.3 μs	allows for trigger latency and photon propagation
time resolution	$<0.8 \text{ ns}$	reconstruction of event vertex
channels/module	16	can fit each AD into one VME crate
nPMT output to LTB	YES	every 12.5ns, LVDS level

3.1.1 电荷测量

• 电荷测量范围

根据物理要求，中心探测器要探测的信号包括正电子湮灭产生的信号、中子慢化产生的信号和高能宇宙射线产生的信号。其中高能宇宙射线产生的信号幅度最大，决定了电子学测量的信号动态范围的最大值。根据物理组对中心探测器的蒙特卡罗模拟结果，若只考虑切伦科夫辐射，单个 PMT 接收到的最大光子数约为 50 个，若考虑全部的光电子数可以达到 2000 多个，如图 3-1 所示。电子学设计时要留有足够的冗余^[47,48]。基于此，我们设计的电荷测量范围为 1~4000 个光电子。

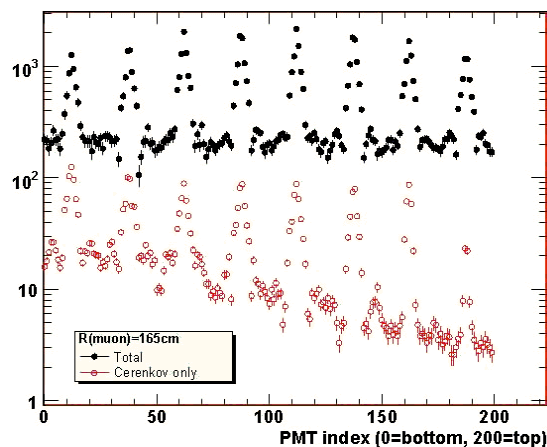


图 3-1 中心探测器各 PMT 接收到的光电子数的模拟结果

大亚湾实验使用滨松(Hamamatsu)公司的 R5912 型号的光电倍增管(PMT)，增益设置在 2×10^7 ，按此计算单光电子的输出电荷量为 3.2pC；PMT 的输出信号通过 47 米的 RG303

电缆传输到 FEE 插件，为减少信号反射在电缆前后端增加了 50 欧姆的匹配电阻，因此单光电子在 FEE 输入端的电荷量是 1.6pc；典型的 10 个光电子输入信号在 PMT 增益为 1×10^7 下的测量结果如图 3-2 所示，其峰值约为 40mV，按照 PMT 的线性计算，单光电子在 2×10^7 增益下的峰值应该为 8mV。

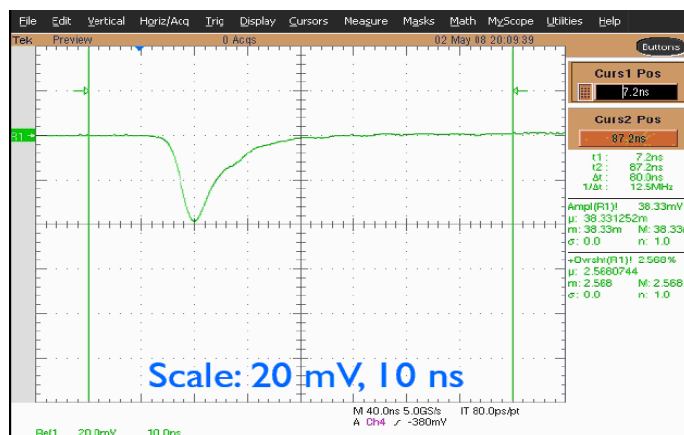


图 3-2 典型的 10 个光电子输入信号在 1×10^7 增益下的测量结果

PMT 输入光电子数同输出电荷的关系图如下所示，从图中我们可以看到当 PMT 输入光电子为 9000 时，其输出电荷量为 1800pc；在大亚湾实验中，需要进行精细测量的中微子事例的光电子数大概集中在 0~50，同时由 Muon 事例产生的大信号也需要进行测量；因此将电荷的测量设计成为高低量程，低量程的动态范围为 1.6pc~160pc(即 1~100p.e.)，高量程的动态范围为 160pc~1800pc。

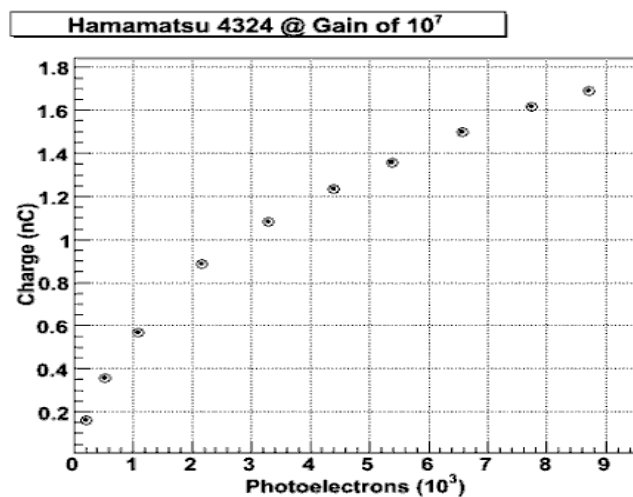


图 3-3 PMT 电荷同 PMT 输入光电子关系图(增益为 1×10^7)

- 电荷测量分辨率

大亚湾实验使用的PMT的暗噪声水平大概为 $1/3 \sim 1/4$ 个单光电子，因此电子学RMS噪声要求低于 $10\% @ p.e.$ ，电荷分辨也要求达到 $20\% @ p.e.$ ；对于电荷分辨来说 $0.2 p.e.$ 对应于 $0.32 pc$ ，因此将低量程的电荷分辨设计目标定为 $0.16 pc$ 以满足要求。

3.1.2 时间测量

- 时间测量范围

时间测量的范围取决于触发延迟与最早和最晚到达光电倍增管的光信号的最大时间差。其中ADC的流水线操作和寻峰过程使得触发延迟不能小于 $550 ns$ ，考虑到物理事例的需求将设计 $1.2 \mu s$ 动态可调的时间窗来用于时间测量；在这种设计下通过PMT信号到达时间的不同，可以粗略重建探测器内部事例的位置，同时也提供了系统不确定性交叉检验和本地研究的额外途径。

- 时间测量精度

整个系统总的时间测量的精度包括两方面的因素。一个是PMT造成的时间晃动，另一个是由电子学引入的测量误差。根据PMT的数据手册，在光电倍增管上产生一个单光电子的时间晃动大约 $1 \sim 2 ns$ ，这取决于光电倍增管的传输时间晃动、光电倍增管的上升时间以及甄别器的时间游动效应。如果电子学系统的时间测量精度设计为不超过 $0.8 ns$ ，将对整个时间分辨的影响很小。

3.2 电荷测量方案

3.2.1 总体设计方案

下图为电荷测量方案示意图，从PMT来的信号(宽度为 $10 \sim 20 ns$)经过快放大后分成两路并行送入到 $CR-(RC)^4$ 的成形电路，此高低量程的放大倍数相差约为19倍；12bit的ADC对输入的模拟信号进行实时数字化，数字化结果按照40M时钟节拍送到FPGA，并在其内部实时完成量程选择、寻峰及数据缓存等数据处理工作。

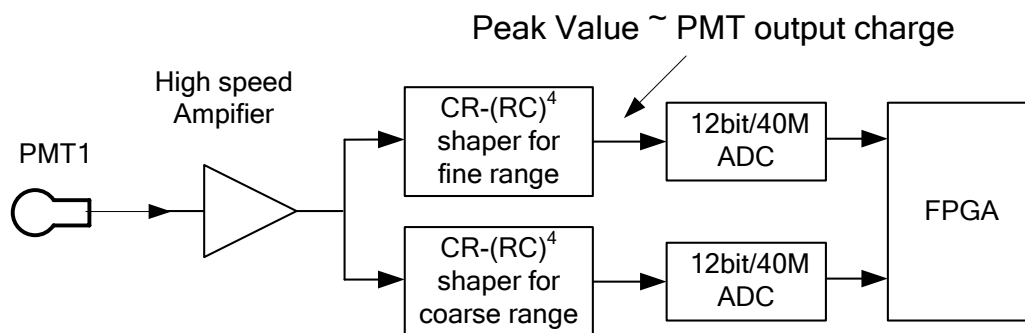


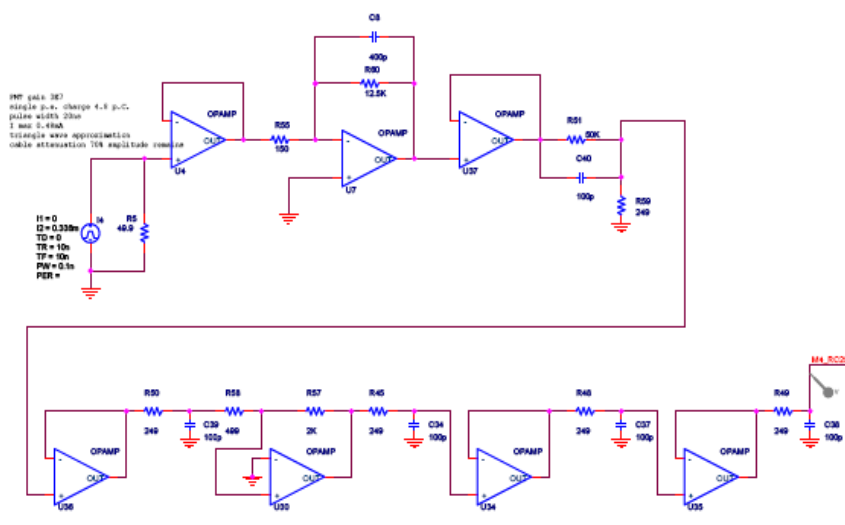
图 3-4 PMT 读出电子学系统电荷测量方案

3.2.2 滤波成形电路

从前置放大器输出的有用信号通常混杂着噪声和干扰，滤波成形电路的一个重要作用就是通过滤波来提高信号噪声比，从而抑止系统噪声。同时将前置放大器输出的波形成形为准高斯波形，减少信号堆积，使信号有足够的平顶便于信号幅度的准确测量。

输出电压是双极性脉冲时信号有一定的下冲，会影响系统对于正常信号的放大性能，造成系统电荷测量的误差。所以在电路设计时，采用极零相消电路代替原 CR 微分电路，和后面的 RC 积分电路组成 CR-RC 滤波成形网络。采用极零相消电路后，不仅可以消除信号的下冲，还可以减少信号的宽度，降低堆积概率。

下图为设计的理想放大成形电路仿真模型，输入信号对应单光电子的电流信号。输入信号先经过电流积分、极零相消后再进行 4 次 RC 积分。如图 3-5 所示，



• 成形时间常数

根据仿真结果，决定采用 $CR-(RC)^4$ 滤波成形网络，RC 微分和积分常数相同，都等于 $\tau = RC$ ，级间用放大级隔离，以免前后端信号相互干扰。

通常，提高信噪比和减小脉冲宽度这两方面往往是矛盾的。因此只能在其中进行折衷考虑，选择合适的电路时间常数。 $CR-(RC)^4$ 滤波成形网络的脉冲宽度约为 5.09τ ，因此，估算出 RC 时间常数约为 25ns。经过仿真验证，这个时间常数与脉冲宽度的关系是正确的，成形后的波形达到了设计要求。

图 3-6 即为通过仿真得到的经过 $CR-(RC)^4$ 滤波成形网络后的波形。图中可以看到，与峰值误差为 1% 的信号峰宽为 13.32ns，与峰值误差为 4% 的峰宽为 26.69ns。峰值，5% 精度的峰宽为 29.9ns。因此，如果采用 40MHz（25ns）的采样频率对成形后的信号进行采样，则 ADC 采样信号与信号的真实峰值的随机误差小于 4%，达到了物理设计要求。

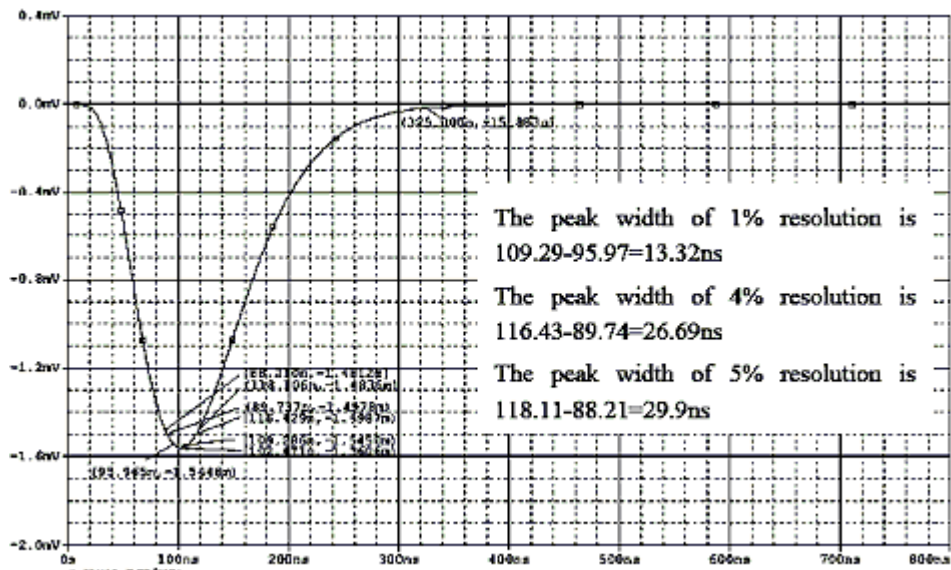


图 3-6 $CR-(RC)^4$ 成形后的模拟输出波形

3.2.3 寻峰逻辑

当两路串行数据送到 FPGA 内后，先将数据进行串并转换，再进行量程选择，得到有效量程内的数据。“有效量程”定义为：如果低量程 ADC 值小于 4095（ADC 的饱和值），则低量程为“有效量程”，量程编码为 0。如果低量程 ADC 值等于 4095（ADC 的饱和值），则高量程为“有效量程”，量程编码为 1。对应于“有效量程”的 ADC 的输出数据连同量程编码一起送入流水线缓存器，以获得合适的延迟时间。

时间常数为 25ns 的成形电路输出波形的达峰时间约为 100ns，信号宽度为 300ns。为了保证在 hit 信号到达以后的 300ns 寻峰时间窗口内能够找到峰值，必须适当设置数字流水线的延迟时间，使得 HIT 信号到达时输出波形已经出现。根据 ADC 数据手册，ADC

转换时间为 200ns，因此 HIT 信号到来后需要延迟 200ns 再开始寻峰操作。由 HIT 信号启动寻峰操作，具体时序如下图：hit 信号到来后，由数字流水线延迟 8 个时钟周期，也就是 200ns，然后在 300ns 宽的时间窗口内开始寻峰操作。

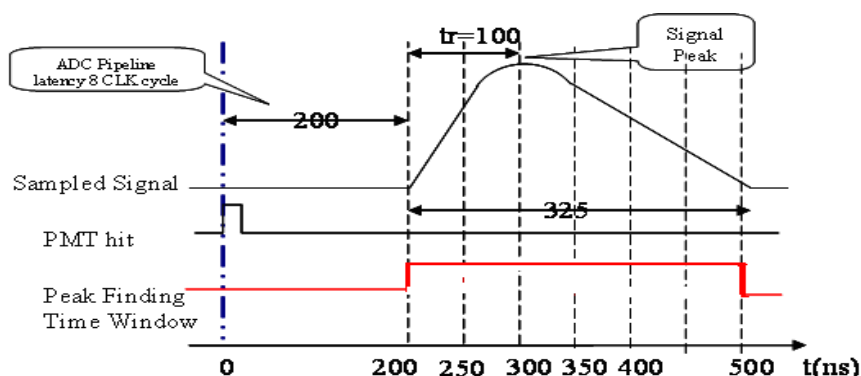


图 3-7 数字寻峰时序图

将寻峰结果与给定的阈值相比较，如果大于阈值，则将数据压缩标志位寄存器置 1，并将峰值及数据压缩标志位寄存器当前值一起存入数据缓存器，等待数据读出。

3.3 时间测量方案

3.3.1 时间测量特点

反中微子与探测器中的液闪发生反 β 衰变反应，产生正电子和中子，正电子发生电离损失及与电子湮灭形成的信号发生很快，中子经过慢化后被液闪中的 Gd 俘获，放出共 8MeV 的光子。中子慢化时间有一个延迟，这个延迟信号与正电子形成的信号符合后，就成为中微子的特征信号。因此中子俘获的延迟时间是物理分析的一个关键参数。

探测器输出信号是一个具有一定持续时间，幅度有大小起伏的波形，那么在时间间隔测量时，究竟什么时刻代表信号的到达时刻就需要加以研究和确定。精确的时间间隔测量必须对于起始信号和停止信号的到达时刻进行精确的定时，也就是说信号的定时是进行精确时间间隔测量的首要问题。

3.3.2 时间测量中的定时方法

无论是送到符合电路还是送到 TDC 的信号，要求它的出现时刻与粒子击中探测器的时刻能精确地相对应。事件的产生到信号进入时间信息分析电路之间，基本由以下几个过程组成：

粒子产生 → 探测器被击中 (t_0 时刻) → 探测器信号输出 (t_1 时刻出现信号) → 电子学电路信号处理 (放大、成形等) → 时检电路检出信号送到时间信号分析电路或符合电

路输入端 (t_0' 时刻出现信号), 如下图所示:

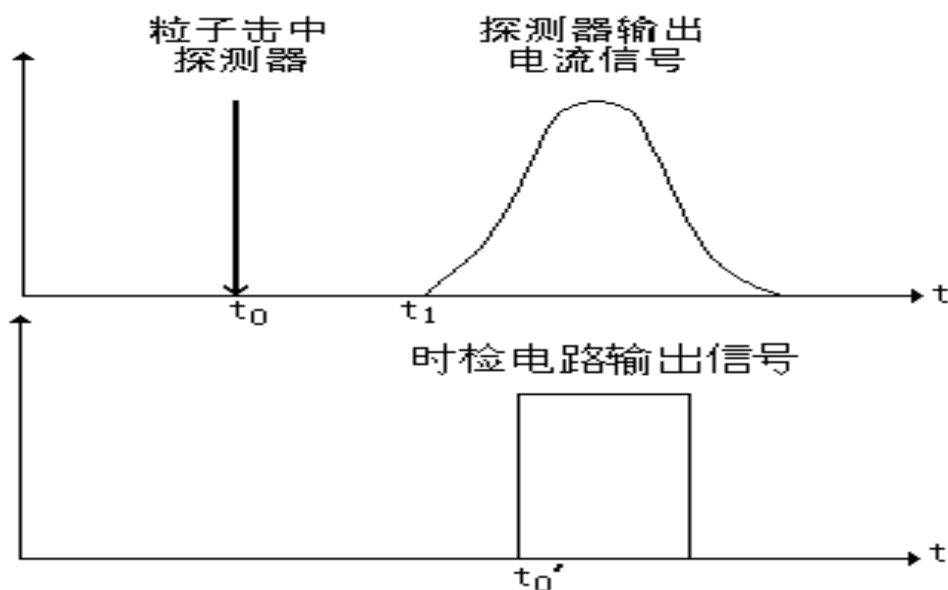


图 3-8 时间信息测量的过程示意图

从探测器输出的电流信号有以下几个特点:

- t_1 相对于 t_0 有一定的延迟时间;
- 实际的电流信号有一定宽度, 不是一个冲击响应;
- 信号是随机的, 有涨落, 并且 $(t_0' - t_0)$ 也是一个随机量。

因此在时间方案设计时要考虑以上因素, 采取有效措施减小时间晃动。一般采取的方法包括前沿定时、恒比定时, 幅度和上升时间补偿定时等。其中前沿定时由于幅度时间游动效应, 引起的定时误差较大; 恒比定时仅仅解决了幅度游动效应, 未曾解决上升时间游动效应; 而幅度和上升时间补偿定时(ARC)可同时解决幅度和上升时间游动效应。

3.3.3 基于 FPGA 的时间测量

如下图所示, 输出信号经过快放大后送入甄别器的一个输入端, 甄别器的另一输入端接一个幅度可控的直流电平。这个直流电平即为甄别器的阈值, 由 12 位 DAC 通过 VME 总线来控制产生, 能做到高精度高稳定度。每块板上的 16 个测量通道采用相互独立 DAC 来产生, 可以根据各个 PMT 的增益等不同参数来设定不同的甄别阈值。甄别器输出信号的前沿送到由 FPGA 来实现的 TDC 的输入端, 作为开始信号。触发判选有效信号也送到 TDC 的另一个输入端, 作为 TDC 的停止信号。

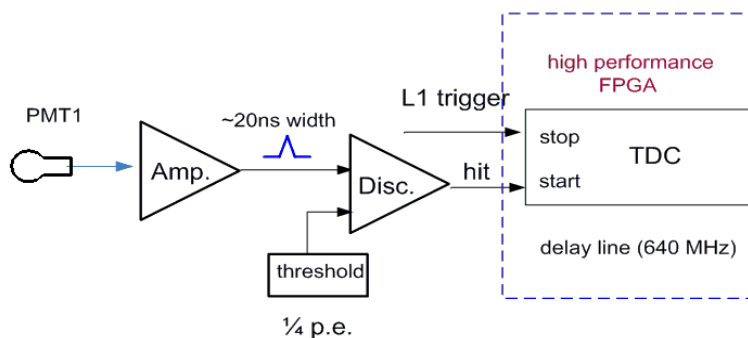


图 3-9 PMT 时间测量示意图

• 时间测量的死时间

在时间测量中 TDC 无法分辨两个到达时间间隔过小的信号，在 FEE 的设计中其死时间为 50ns。

3.4 FEE 硬件设计

电路设计首先考虑的是结构设计，本小节将结合 PMT 读出电子学的设计要求，实现一下结构设计需要：

- 如何实现 TDC；--Time Digital Convert—时间数字转换
- 如何进行量程选择；
- 如何读出击中数信息；
- 如何实现事例的动态缓存；
- 如何对数据进行处理；
- 如何实现 VME 的数据读出；

3.4.1 FEE 总体结构

FEE 为符合 9U VME 标准的插件^[49]，采用 10 层电路板，有 16 路 PMT 信号通道，电路总体结构如包括以下几部分：信号成形放大、模拟信号调理电路、AD 转换、时钟处理电路、定时甄别、模拟相加电路、校准刻度电路、VME 数据读出、电源管理。

在电路中使用一片 XILINX 公司的 Virtex 4 FPGA^[50]完成所有逻辑控制和数据处理工作，其功能包括：击中数信息的提取、TDC 实现、ADC 数据串并转换、ADC 数据的量程选择与编码、电荷量数字寻峰、电荷量提取、16 通道时间数字转换 (TDC)、200 微秒内的事例数据缓存、VME 接口逻辑控制功能；其原理图如下所示。

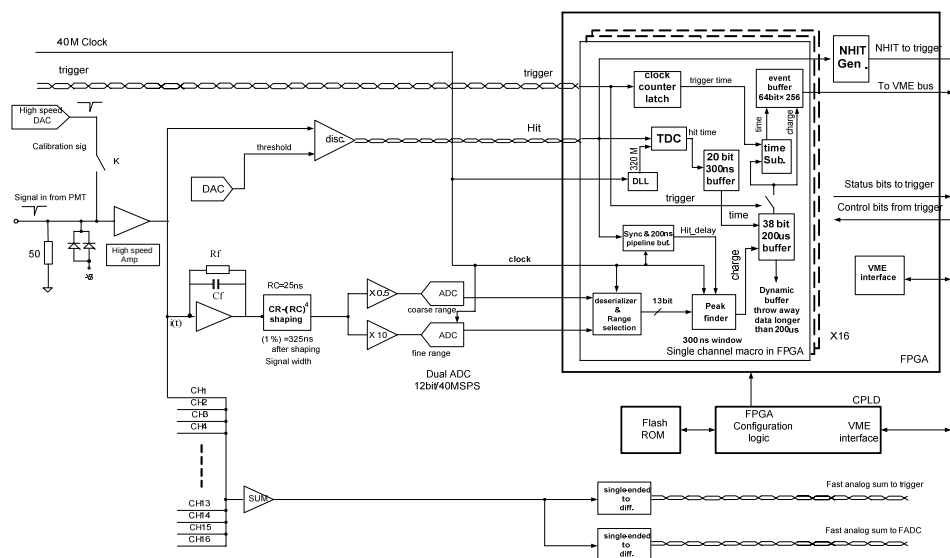


图 3-10 PMT 读出电子学原理框图

工作时，每个 PMT 输入信号在板上被分为三路，一路用来进行电荷测量；一路用于时间测量；第三路信号送到 FEE 板上的模拟相加电路，得到 16 路信号“总能量和”信号，分别送给触发判选系统和高速 ADC 插件：

在电荷测量部分，首先将信号进行电荷积分，随后进行 $CR-RC^4$ 滤波成形，将信号成形为 300ns 宽的准高斯型，成形时间常数为 25ns。成形后的信号分成两路，一路经过增益为 10 倍的放大器后，送低至量程 ADC，另外一路经过增益为 0.5 倍的放大器后，送至高量程 ADC。两个量程的增益差别为 20 倍，两个 ADC 输出的串行数据送到 FPGA 内进行串并转换及量程选择，如果数据超过低量程的量程范围，即低量程 ADC 值为 0x3ff，则高量程的数据被选中，否则选择低量程的数据。

在时间测量通道，将信号送入阈值甄别器的一个输入端，甄别器的另一输入端接一个幅度可控的直流电平。这个直流电平即为甄别器的阈值，由 12 位 DAC 通过 VME 总线控制来产生，能做到高精度高稳定度。每块板上的 16 个测量通道采用相互独立 DAC 来产生，可以根据各个 PMT 的增益等参数的不同来设定不同的甄别阈值。甄别器输出信号的前沿送到在 FPGA 内实现的 TDC 的输入端，作为开始信号。触发判选有效信号送到 TDC 的另一个输入端，作为 TDC 的停止信号。

模拟信号相加电路将插件的所有 16 路信号进行快速模拟相加，得到的信号为有时间差别的若干个 PMT 输出脉冲的叠加。这个信号被扇出成相同的两路差分信号，分别送到触发判选插件和高速 ADC 插件。前者作为总能量触发信号产生的依据；后者被高速 ADC 采样后，可以校验实验数据。

3.4.2 FEE 与其他插件的信号连接

下表为 PMT 读出电子学系统内 FEE 插件同其他各插件之间的信号及连接定义：

表 3-2 PMT 读出电子学系统内各插件之间的信号及连接定义

Signal name	From	To	Number of signals	Characteristics
Clock	LTB	FANOUT	1	LVPECL, 40MHz, 2-wire LEMO
Clock	FANOUT	FEE	16	LVPECL, 40MHz, 2-wire LEMO
trigger	LTB	FANOUT	1	LVPECL, 100ns wide, 2-wire LEMO
Trigger	FANOUT	FEE	16	LVPECL, 100ns wide, 2-wire LEMO
trigger check	LTB	FEE	1	TTL, 100ns wide, VME reserved bus, pin P1D23
trigger type[1:0]	LTB	FEE	2	TTL, VME reserved bus, pin P1Z19 and P1D25
BFULL	FEE	LTB	1	TTL, VME reserved bus, pin P1Z13
read request	FEE	LTB	1	TTL, VME reserved bus, pin P1Z15
nPMT[4:0]	FEE	LTB	5	LVDS, 20-pin DSub connector at FEE end and 96-pin DSub connector at LTB end
ESUM	FEE	LTB	1	Differential analog, 2-wire LEMO
ESUM	FEE	FADC	1	Differential analog, 2-wire LEMO
analog input	PMT	FEE	16	Single ended analog, BNC

3.4.3 FEE 印制板

FEE 采用宽度为 340mm 的 9U VME 标准, 采用 10 层板设计, 其中 5 层为信号走线 5 层为电源和地, 其 PCB 图和 10 层板框图如下所示:

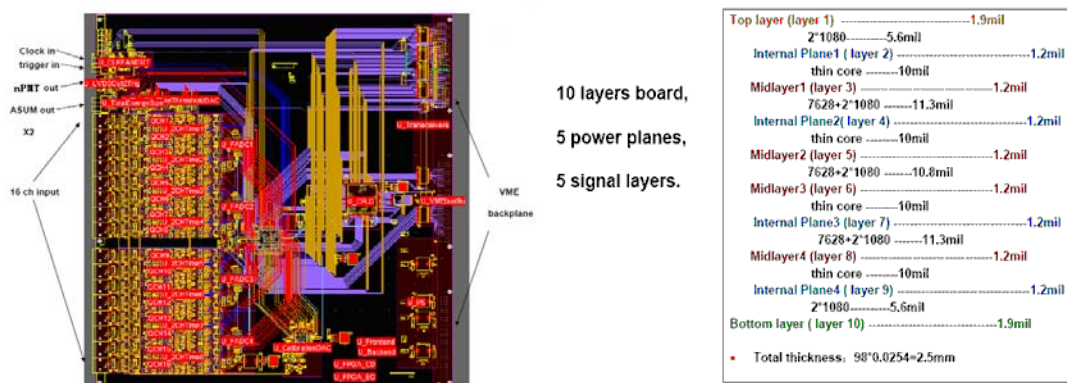


图 3-11 FEE 插件 PCB 图(左)和 10 层板框图

3.5 本章小结

本章从设计需求出发, 研究了FEE插件电荷测量和时间测量的核心内容, 同时介绍了FEE的硬件设计; FEE的功能性能测试将在后几章中展开, 检验FEE设计是否符合需求。

第4章 PMT 读出电子学信号研究

上一章介绍了 PMT 读出电子学的设计方案，在 FEE 功能性能测试之前研究 FEE 前端信号有着重要的意义，一方面可以检验 FEE 前端光电倍增管^[51](PMT)和隔离直流电路 (Decoupler)的性能，另一方面对于 FEE 的最优化改进也提供了一种方案，本章将主要介绍 PMT 读出电子学模拟和 PMT 读出电子学信号研究。

4.1 PMT 读出电子学模拟

4.1.1 电子学模拟的意义

在电子学设计中，电子学模拟(又称电路仿真)往往是不可或缺的一部分；电子学模拟是将设计好的电路设计图通过仿真软件进行实时模拟，模拟出实际功能，然后通过其分析改进；电子学模拟可以用来研究信号的特征，同时研究所得到的信号特征又可以用作设计改进的参考和依据，如此相辅相成最终使得设计趋向完善，实现电路的优化设计。

4.1.2 电子学模拟软件介绍

在电子学模拟中使用的仿真软件是凌力尔特公司 (Linear Technology Corporation) 推出的 LTSpice IV^[52]。作为一款 SPICE 电路仿真软件，LTSpice IV 具有专为提升现有多内核处理器的利用率而设计的多线程求解器，同时该软件还内置了新型 SPARSE 矩阵求解器。

对于 SPICE 仿真器而言，并行处理是一项长期存在的挑战，LTSpice IV 运用了专有的方法，这些方法实现了任务的高效并行处理，同时 LTSpice IV 还拥有集成电路图捕获和波形观测功能。

4.1.3 光电倍增管信号读出

位于中心探测器内部的光电倍增管，其输出信号通过 50 欧姆的同轴电缆输出到 FEE 前端电子学；同传统的读出方式不同，大亚湾实验采用单电缆同时传输正高压和信号，

也就是通过一根同轴电缆将高压传输给 PMT，同时将 PMT 的信号传输到 FEE；正因为大亚湾实验采用单电缆传输，因此在信号的输出线路上增加了隔离直流电路来分离高压和信号(Decoupler)，其模块图如下图所示。

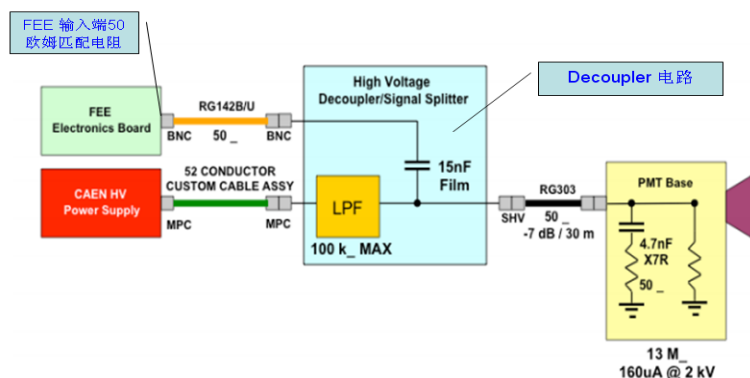


图 4-1 中心探测器光电倍增管 (PMT) 信号读出电路模块图

大亚湾实验采用了日本滨松公司(Hamamatsu)生产的 R5912 系列光电倍增管，该系列光电倍增管具有较低放射性本地，较好的时间、电荷响应，突出的线性度以及较低的暗噪声和较小的过冲(pre-pulse/after-pulse)，其外观图如下所示；

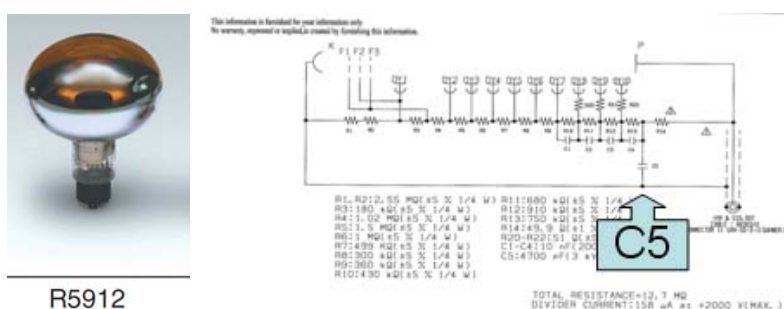


图 4-2 滨松公司 R5912 光电倍增管外观图(左)和 Base 原理图(右)

在实验中光电倍增管阳极同时用于高压输入和信号输出，隔离直流电路原理图如 4-3 所示。C1、C2、C3 为滤波电容，高压经过 R1、R2、R3 后由 J1 输入 Base，信号通过 C4、C5、C6、C7 在 J2 端输出。C4、C5、C6、C7 为高压陶瓷电容，其作用是将高压直流隔离，让 PMT 阳极输出的信号能够在 J2 端输出到 FEE；在实验中单通道的隔离直流电路称之为 Splitter 电路，多通道的隔离直流电路也就是多个 Splitter 电路的叠加称之为 Decoupler 电路。

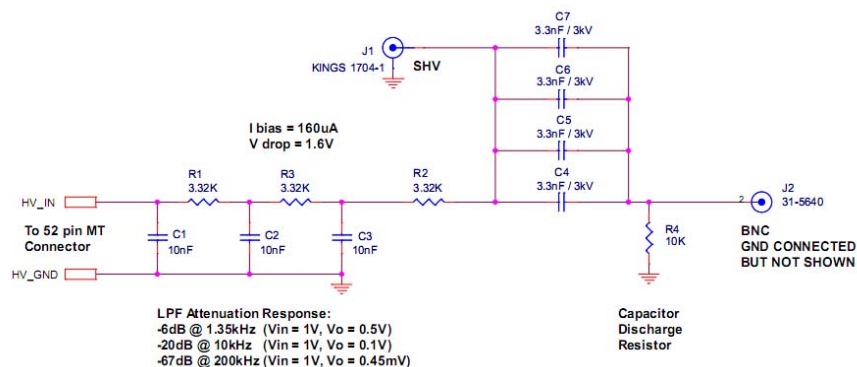
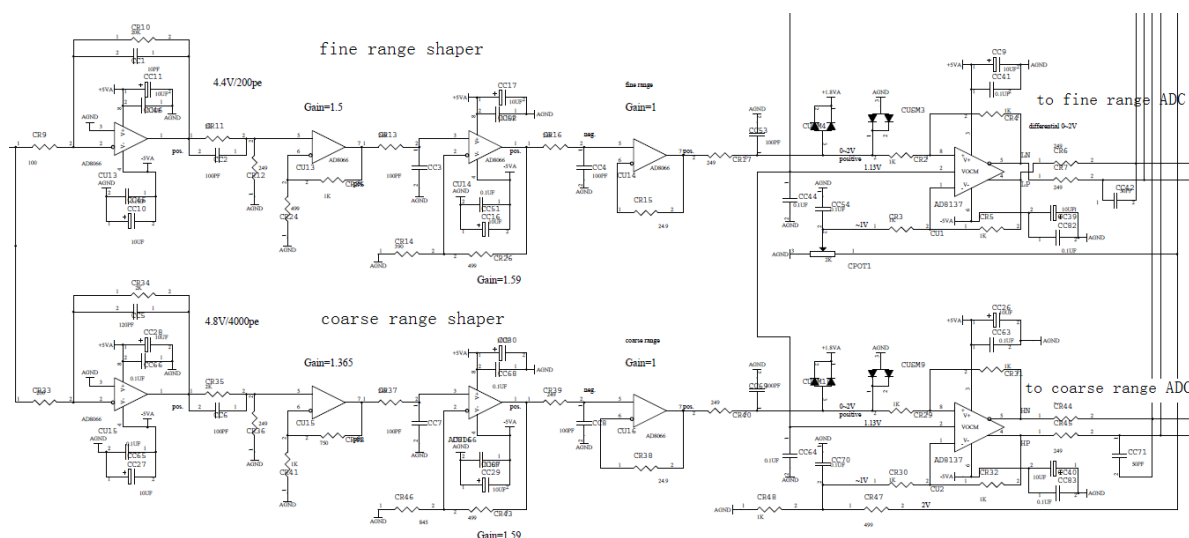


图 4-3 光电倍增管高压供电和信号读出电路—Decoupler/Splitter 电路原理图

在第三章中已经介绍了 PMT 信号经过快放大器之后分成两路进入高低量程，下图为 FEE 单通道高低量程原理图，通过研究信号在高低量程 $CR-(RC)^4$ 成形电路中的波形状况，来检验 FEE 的设计。

图 4-4 FEE 单通道高低量程 $CR-(RC)^4$ 成形电路原理图

4.1.4 仿真电路

按照光电倍增管信号读出方案，在 PMT 读出电子学电路仿真中，首先需要模拟产生一个 PMT 输出信号，在经过 Decoupler 电路之后作为 FEE 的输入信号。依据 Base 和 Decoupler 的原理图，PMT 信号的模拟产生电路如下所示， V_1 为电压源，通过串联的电阻 R_3 给 G_4 提供电压， G_4 是一个电压电流转换模块用来模拟 PMT Base；下部为 Decoupler

模拟电路， V_2 为电压源，通过滤波和负载电阻群、RG303 电缆、Base 匹配电阻 R_3 给 PMT Base 提供高压，PMT 信号通过 C_5 和 R_8 输出到 FEE 的前端，各器件的参数均如图标所示。

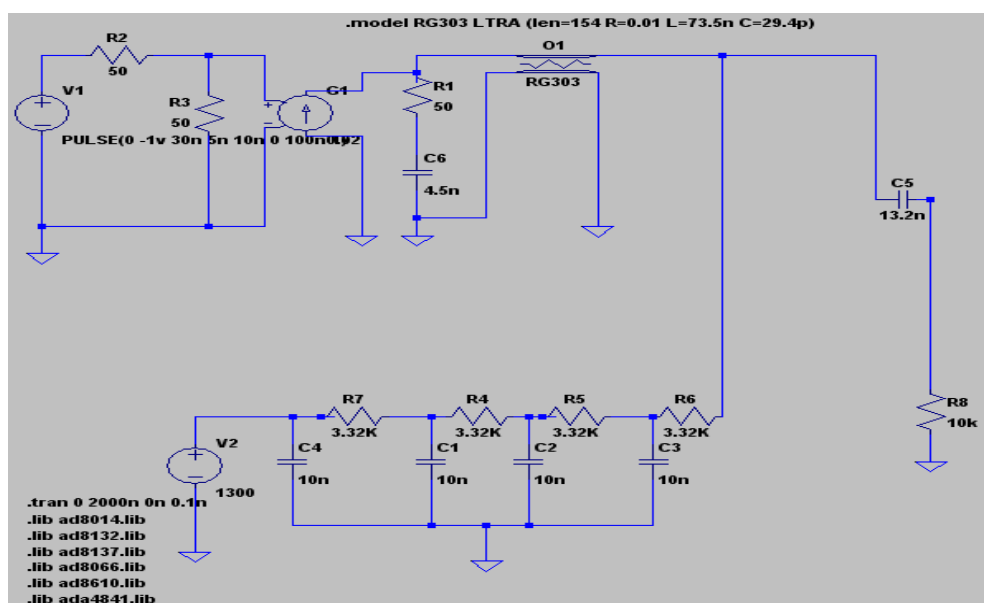


图 4-5 PMT 信号模拟产生电路

上图的 PMT 信号模拟产生电路在 C_5 端仿真产生的信号如下所示，产生的信号幅度大约 500mV，可以从图中看到其是一个较为干净的信号，可以作为 PMT 输出信号使用。

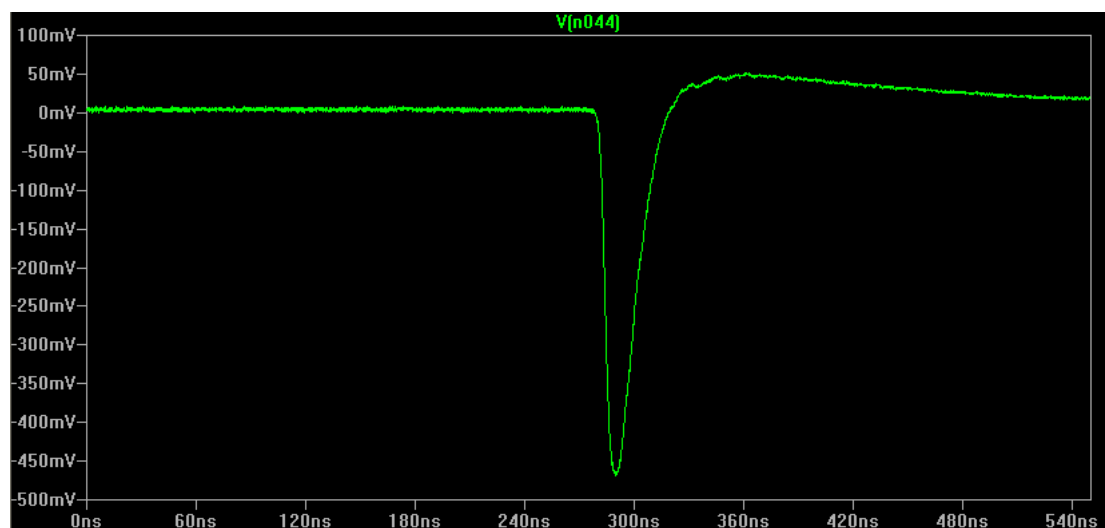


图 4-6 PMT 信号模拟产生电路仿真波形

按照图 4-4 中 FEE 单通道成形电路的原理图在 LTSpice 中模拟得到如下电路，前端为图 4-5 所示的 PMT 信号模拟产生电路，后级为依据成形电路原理图的快放大模块和高

低量程通道，后级的器件参数也同成形电路在原理图中的参数一致。

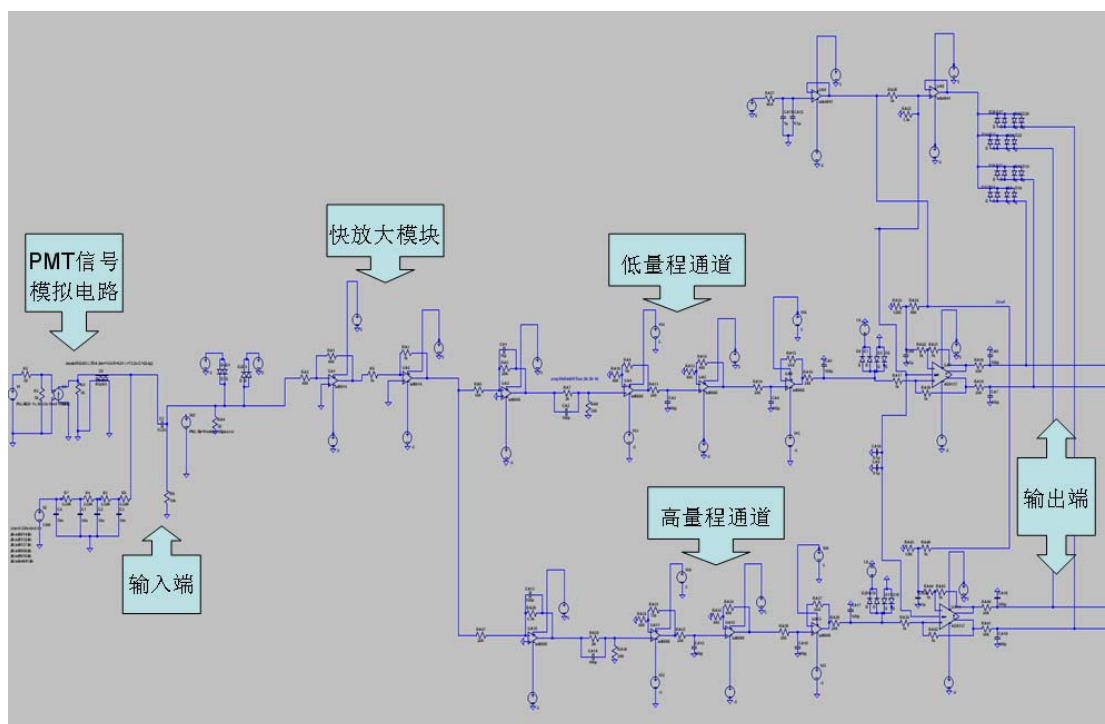


图 4-7 FEE 单通道高低量程 $CR-(RC)^4$ 成形电路仿真电路图

依据上图信号在输入端和经过成形电路后在低通道输出端的仿真波形如下所示，从仿真来看在输出端的得到了理想的信号，从仿真来看成形电路的设计是比较成功的。

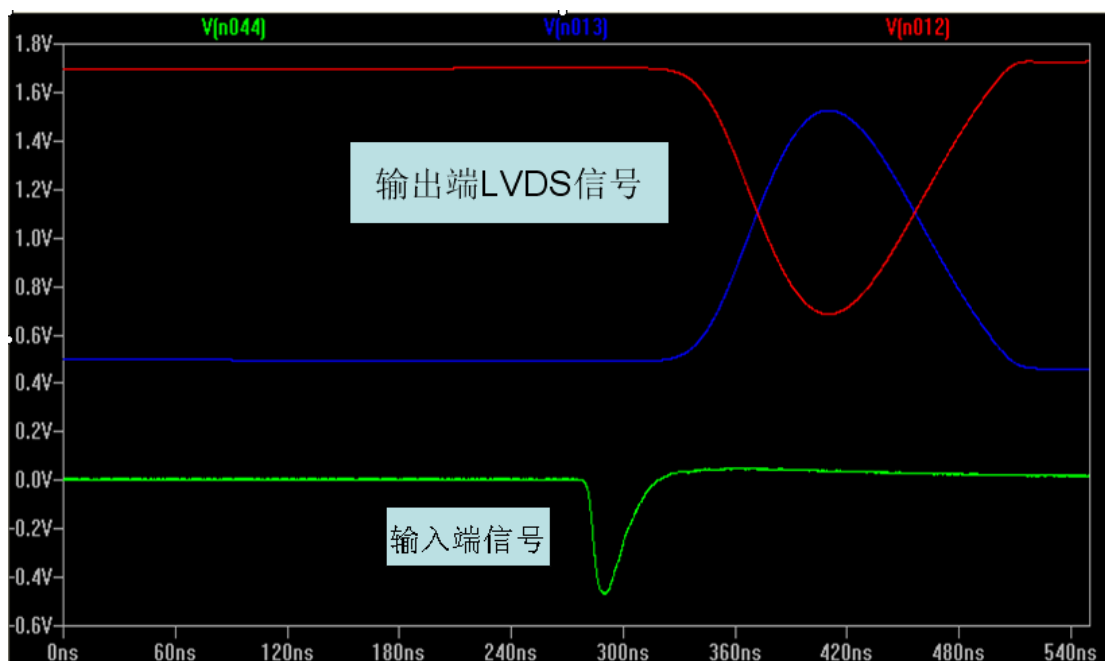


图 4-8 FEE 成形电路仿真波形图

4.2 PMT 读出电子学信号研究

PMT 信号研究在 PMT 读出电子学系统中是一个重要的环节, PMT 信号的优劣直接影响着后期的实验结果, 因此对 PMT 信号进行前期研究有着其必要性, 本小节将介绍 PMT 读出电子学的信号研究。

4.2.1 PMT 信号测试实验

在实验中用信号产生器输出 1Khz、10ns 不同幅度的脉冲信号来驱动 LED 发光, 处在黑箱子中的 PMT 收集 LED 的光子同时通过隔离直流电路(Decoupler)获得 1450v 的高压, PMT 输出信号通过 45 米的 RG303 电缆传输到 Decoupler/Splitter, 然后在示波器内进行 PMT 信号分析, 其现场实验图如下。



图 4-9 PMT 信号测试现场实验图

4.2.2 PMT 信号测试出现振铃现象

在测试实验中我们发现, 在一个幅度较大的 PMT 信号尾部会出现振铃 (图 4-10), 在大亚湾中微子实验中, Muon 作用于 PMT 之后会产生较大的脉冲信号, 而脉冲尾部的振铃会导致假击中和误触发, 对于实验测试极其不利。因此我们需要研究振铃产生的原因, 也需要找出解决振铃的办法。

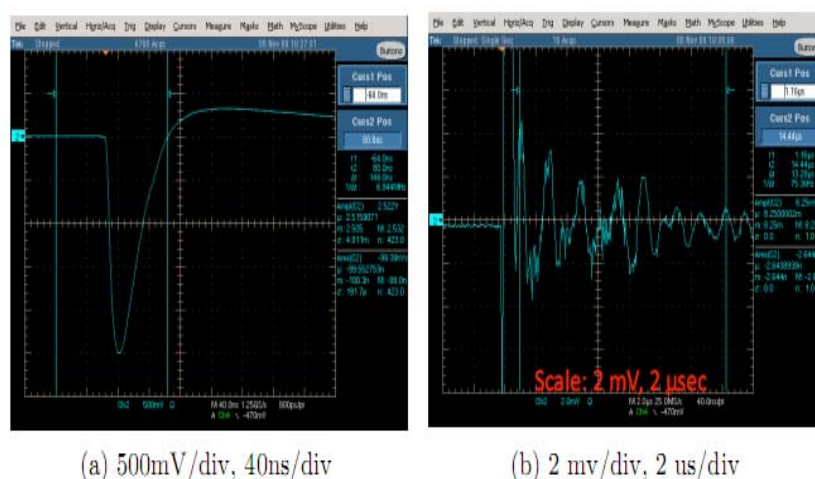


图 4-10 PMT 大信号尾部的振铃

4.2.3 PMT 大振铃信号产生原因的分析

在这套测试系统中,包含了信号产生器、LED、PMT、RG303 电缆、Decoupler/Splitter、高压模块、示波器等组件,在进行了替换组件、更换不同长度 RG303 电缆实验之后,我们排除了信号产生器、LED、RG303 电缆、高压模块、示波器产生振铃的可能性,同时不同长度的电缆没有改变振铃的周期也排除了反射造成振铃的可能性。

在电路中要产生振铃必须存在由 L、C 元件构成的谐振电路或者在电路中存在某种形式的正反馈;在测试中使用的电路中并不存在反馈环节,也就排除正反馈的可能。

由于改变电路中电缆的长度并不改变振铃的周期,因此也排除了由电缆的分布电感和隔离直流电容(Fig.3 C4、C5、C6、C7)组成谐振电路的可能性。

实验还发现不同的隔离直流电容存在着不同的振铃周期,实验似乎显示隔离直流电容本身构成了 L、C 谐振电路。

通过调研知道,陶瓷滤波器其等效电路就是一个 L、C 的谐振电路,产生的机制是陶瓷电容的压电效应;当电容两端施加高电压或交流电压时,电容本身会随着外加电压而收缩、伸展,这会降低电容的可靠性,并有可能导致电容失效。

由上述分析我们进行了以下的电容替换对比实验。

4.2.4 PMT 大振铃信号的解决方法

电容替换对比实验着重对 PMT Base 和 Decoupler 中的电容进行了更换实验。

在实验 1 中将 Splitter 的隔离直流电容由原来的陶瓷电容替换为聚丙烯电容,进行了对比实验;在其他条件一致的情况下, DG Splitter 采用的是 13.2nF 的隔离直流陶瓷电容

(图 4-3 中的 C4、C5、C6、C7)，而 HEP1 Splitter 采用的是 10nF 的隔离直流聚丙烯电容(图 4-3 中的 C4、C5、C6、C7)，其结果(图 4-11)表明在 Splitter 使用聚丙烯电容之后振铃有了显著的减小，这推动了实验 2 的进行。

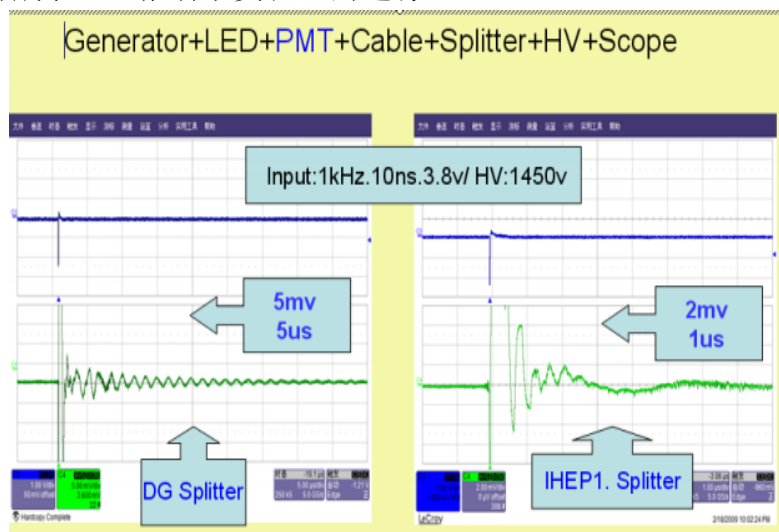


图 4-11 Splitter 更换电容之后的对比实验

在实验 2 中将 Base 内的 C5 电容(见图 4-2)陶瓷电容替换为聚丙烯电容之后，进行了对比实验；在其他条件一致的情况下，PMT1 的 C5 电容(图 4-2)采用的是 4.5nF 的隔离直流陶瓷电容，而 PMT2 的 C5 电容(图 4-2)采用的是 10nF 的隔离直流聚丙烯电容，在其结果(图 4-12)中可以看到振铃完全消失。

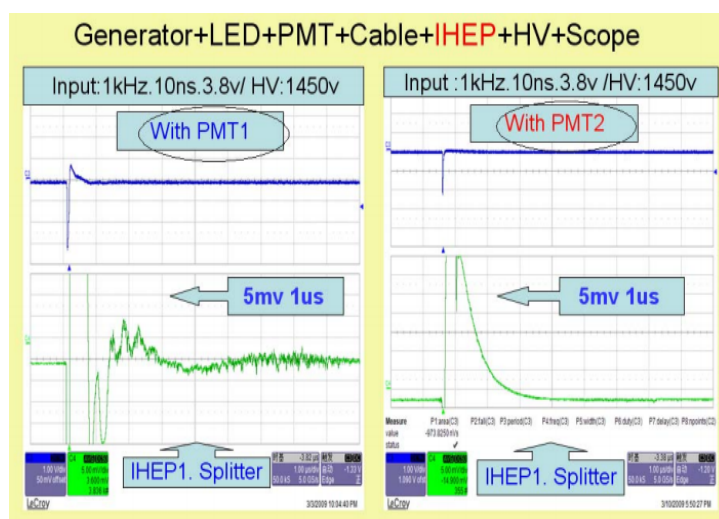


图 4-12 Base 更换电容之后的对比实验

4.2.5 实验小结

通过上述实验我们认为陶瓷电容在直流高压下产生的压电效应是本电路产生振铃的主要原因.; 压电效应是很多片式陶瓷电容的共同特点^[53], 当电容两端施加高电压或交流电压时, 电容本身会随着外加电压而收缩、伸展, 这会降低电容的可靠性, 并有可能导致电容失效, 特别的, 在将陶瓷电容应用于敏感电路中时, 这种效应是不可以接受的。

本次实验是高能物理实验中首次发现陶瓷电容在高压下具有振铃现象, 振铃现象的分析和振铃解决方案的探索对于相同类型的高能实验提供了一个参考,

4.3 本章小结

电子学模拟实验证实了 PMT 读出电子学设计的可行性, 同时在电子学实验中, 找到了振铃产生的原因, 也消除了振铃, 使得光电倍增管和隔离直流电路可以正常工作, 这对于大亚湾中微子实验项目顺利进行有着重大的意义。

第5章 PMT 读出电子学插件(FEE)单板测试

在设计需求中, FEE 作为中心探测器和水切伦科夫探测器的读出电子学, 主要采集物理事例的电荷信息和时间信息以及向触发板提供多重击中数(nPMT)和 16 路信号求和信息(Esum), 因此其功能和性能直接关系着实验结果。

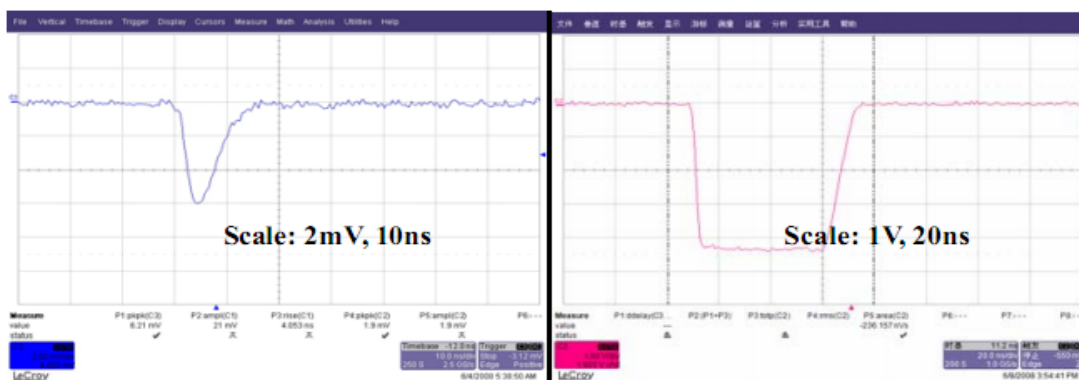
FEE 性能指标主要有 ADC 的台基稳定性、电荷精度、积分非线性、时间精度和通道间的串扰等, 为了在今后的运行中方便地实现对整个电子学系统的自检, 每个 FEE 插件都设计有校准刻度电路, 可以产生一系列幅度可以程控的校准信号, 送入 FEE 的输入端, 实现对整个系统的快速自动化检测。

在 FEE 插件单板测试中, 主要设备包括 16 通道 PMT 读出电子学插件, 德国 WIENER 公司的 VME 9U 机箱^[54], MVME5100PowerPC, LEMO 单芯、双芯电缆, Lecory 和 Tektronix 的示波器和信号发生器。

5.1 基本功能测试^[55,56,57,58]

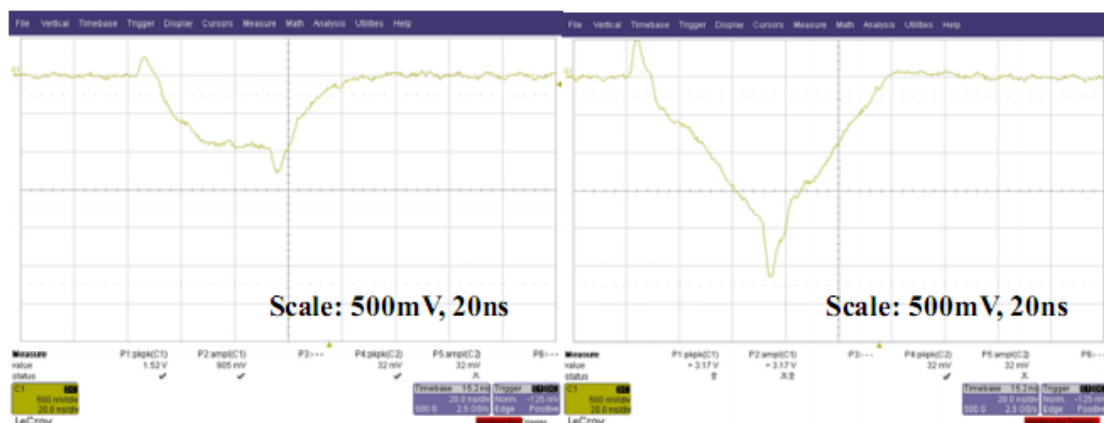
5.1.1 输入波形

为了顺利完成 FEE 的各项测试, 我们采取了两种方式模拟 FEE 的输入信号, 一种是用信号发生器来模拟 PMT 的输出信号(图 5-1), 另一种是 FEE 在校准刻度模式下产生的自刻度信号(图 5-2);



(a) Input signal with input charge of 1.6pc (b) Input signal with input charge of 4800pc

图 5-1 信号发生器产生的模拟 PMT 输出信号



(a) Input signal with Cal_DAC=32767

(b) Input signal with Cal_DAC=65535

图 5-2 刻度模式下 FEE 产生的模拟 PMT 刻度信号

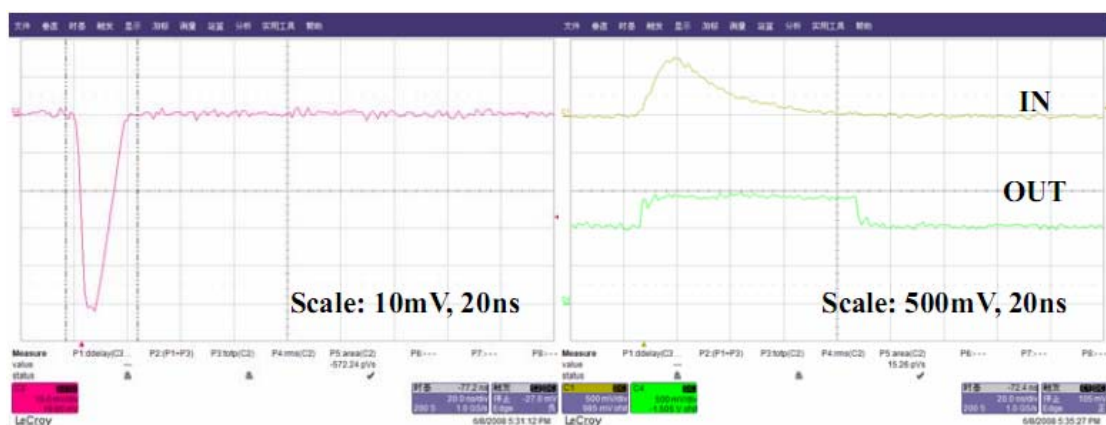
5.1.2 甄别器功能测试

每通道的甄别器阈值可以通过设定 DAC 的数值来调节, DAC 的输出电压和 DAC 值的对应关系如下表所示;

表 5-1 DAC 的输出电压和 DAC 值对应表

DAC Value	Voltage
0	0mv
26	32mv
52	64mv
105	128mv
525	640mv
1050	1280mv
4095	5000mv

在甄别器测试试验中, 将甄别器的阈值设定在 16mv, 在其输入端用信号发生器产生信号作为输入信号(下图 a), 甄别器的输入输出信号如下图(b)所示;



(a) FEE input of 50mv

(b) Discriminator input and output

图 5-3 FEE 输入信号和甄别器前后端的输入输出信号

5.1.3 成形输出信号测试

如下图 5-4 是信号成形之后的输出波形，信号的上升沿为 100ns，信号宽度为 300ns，这同前期模拟的成形输出和设计要求相吻合；

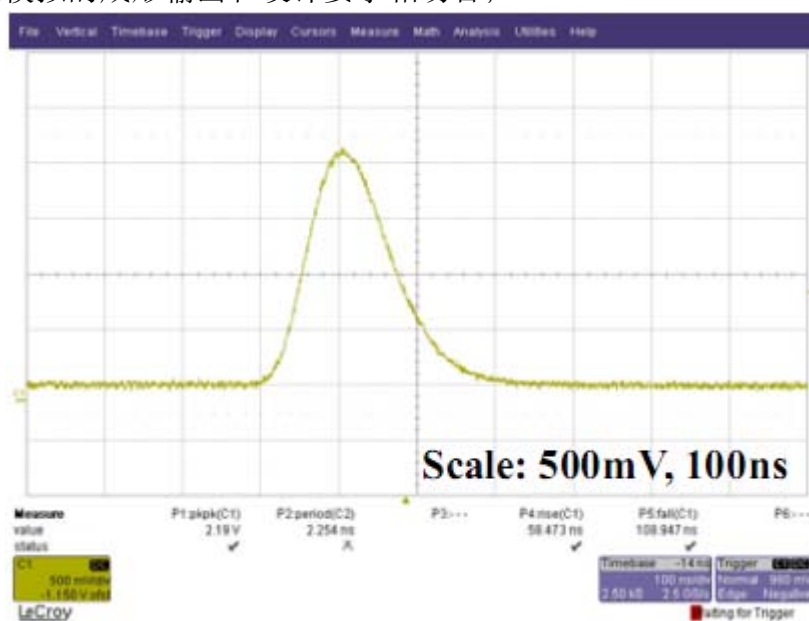


图 5-4 信号成形之后的输出波形

5.1.4 Esum 输出信号测试

Esum 信号是 FEE16 路通道模拟相加的信号，以差分信号的形式一路传送给 Flash ADC 插件进行出发功能验证，同时另外一路传给 Local Trigger Board(LTB)插件进行触发判选。

在 Esum 的测试中, 如下图左所示, 我们采用了在 CH1 和 CH2 中输入延迟相差 10ns 的两个信号, 延迟采用的方法是 CH1 的传输线比 CH2 的传输线长 2 米; Esum 传送给 Flash ADC 和 Local Trigger Board 的是差分信号, 我们探得差分信号的其中一路如下图右侧所示; 可以看到 Esum 信号因 CH1 和 CH2 信号的 10ns 延迟而相应的展宽, 功能正常;

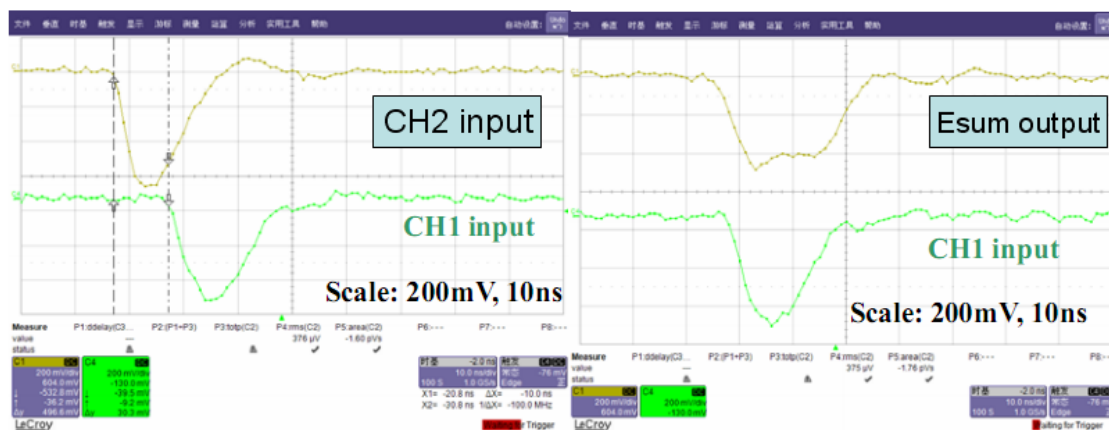


图 5-5 信号输入波形和 Esum 输出波形

5.1.5 nPMT 输出信号测试

nPMT 信号是 FEE 将 PMT 的击中数信息传输给 LTB, 传输的时钟是 80MHz, 数据的传输模式是 DDR(Double Data Rate), nPMT 传输的四对信号分别是 80M 的时钟信号, bit0_1, bit2_3, bit4_5; 对于 nPMT 的测试, 采用了 FEE 插件产生循环数测试的方法, 在 nPMT 信号输出端进行测量, 其测量结果如下;

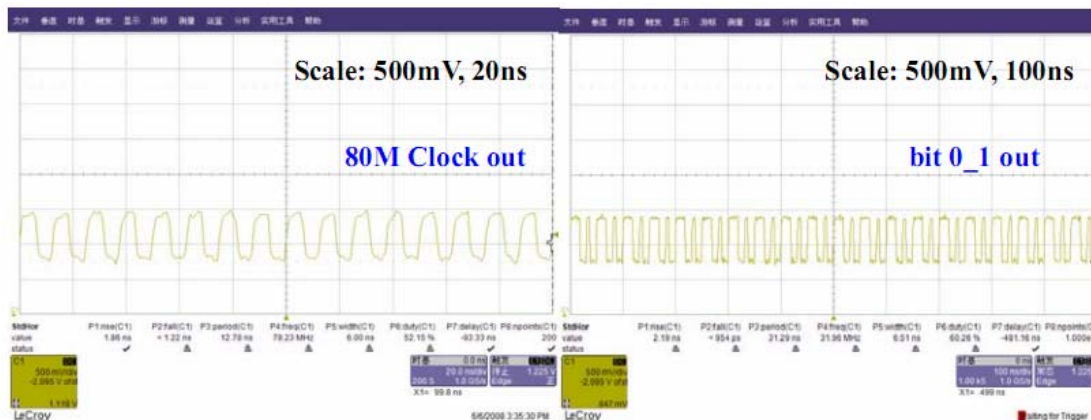


图 5-6 nPMT 信号的 80M 时钟输出信号和 bit0_1 输出信号

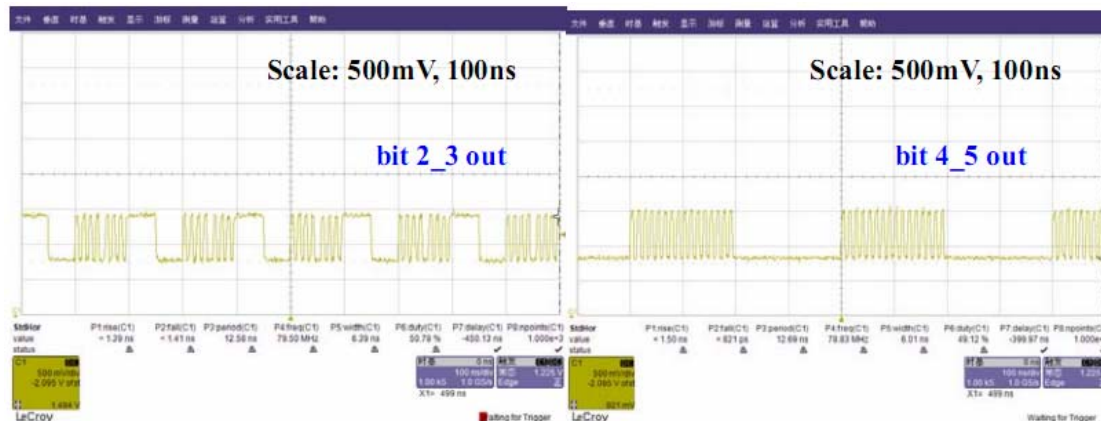


图 5-7 nPMT 信号的 bit4_5 输出信号和 bit4_5 输出信号

在进行循环数测试的同时也对 nPMT 信号进行了校准刻度模式下的测试，如下图所示上方是 FEE 产生的 100ns 宽度的刻度信号，下方为 nPMT 输出信号，可以看到 nPMT 信号从 0 转变到 16，在持续 8 个时钟周期(也就是 100ns)之后恢复到 0；

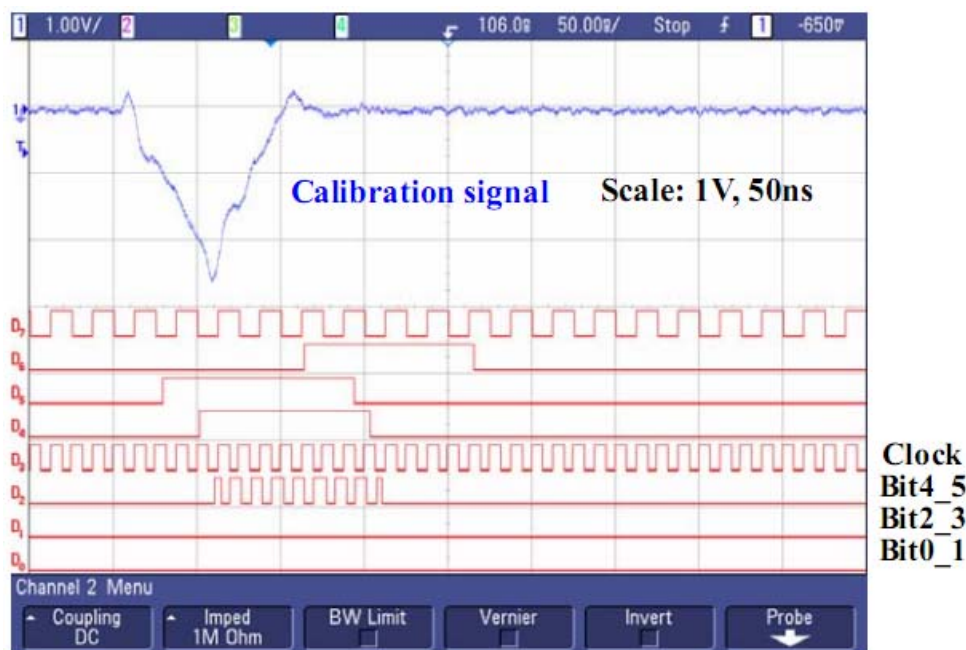


图 5-8 FEE 刻度信号和 nPMT 在刻度模式下的输出信号

5.1.6 低量程 ADC 台基恢复测试

台基恢复是一个重要性能，要求 FEE 在输入大信号之后台基在一定时间内恢复到阈值以下；在台基恢复测试中 FEE 输入端用信号发生器产生 4800pc 的大信号，低量程 ADC 的输入信号如下图中绿色所示，其台基在 1us 内恢复；

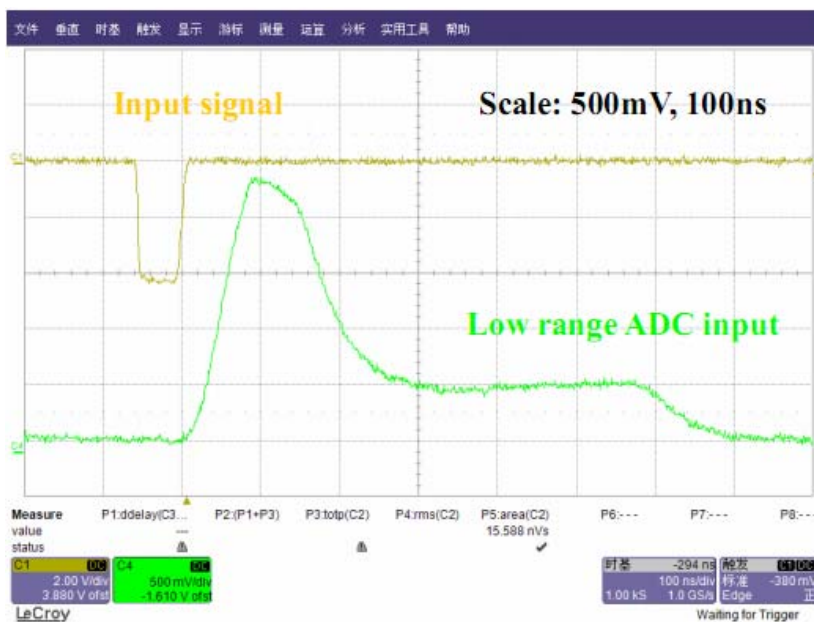


图 5-9 FEE 输入信号和低量程 ADC 输入信号

5.2 电荷测量方案

5.2.1 单光电子的电荷量

典型的单光电子波形信号如图 5-10 所示，信号的上升沿大约为 4ns，下降沿为 10ns，信号幅度大约为 6mv，信号宽度大约为 20ns；FEE 在输入端匹配有 50 欧姆的电阻，单光电子电量为 $1.6 \times 10^{-19} \text{ pC}$ ，PMT 的增益设置在 2×10^7 ，因此等效到 FEE 输入端的电荷量为：

$$Q_{1pe} = E * \text{Gain} / 2 = (1.6 \times 10^{-19}) * (2 \times 10^7) / 2 = 1.6 \text{ pC}$$

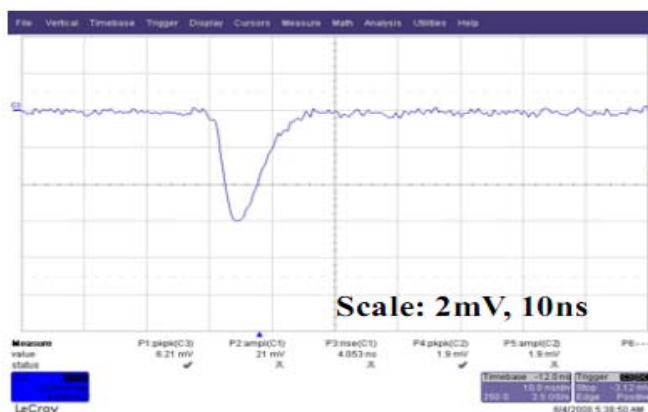


图 5-10 FEE 输入端单光电子波形信号

相应的 FEE 低量程的动态范围为 1.6pC 到 160pC ，高量程的动态范围为 160pC 到 1800pC ；

5.2.2 台基及 RMS 测量

台基是指在输入端悬空或输入端接地时，测得的各通道 FADC 的输出值，也就是 FADC 在无输入信号时各通道的变换结果；台基值一般不应设置为零，否则容易使得输入信号幅度的低端被截断，造成大的测量失误，但是也不能设置过大的台基值，那样就减小了 FADC 变换的动态范围；在 FEE 的设计中，为了使得各路台基值有较好的一致性，各台基设置为可调方便测试。

用来表征台基特性的一项重要指标是台基的稳定性也就是其均方根值，在理想情况下太及时一恒定值，由于不稳定因素的存在，比如电路地回路设计不当，致使数字地回路电流对模拟地回路形成干扰，或者电源滤波不良，尤其是模拟电源滤波不好等原因，都会明显增大台基值的不稳定，在实际测量中台基将围绕某一值上下波动。在有信号输入时，台基波动将于信号相叠加表现为电路的噪声，直接影响到电荷测量的分辨率；因此台基的稳定性是评价电路的噪声特性、确定 A/D 变换有效位(Effective Number of Bits)的重要依据。

下图 5-11 是 FEE 插件 16 通道的台基测量结果，每个通道的台基值重复测量 20000 次，求得台基平均值和 RMS 值，在各通道中，低通道 ADC 台基涨落的均方根值为 1.8 个 ADC 计数，低量程满量程（4095 个 ADC 计数）为 100p.e ，1.8 个 ADC 计数相当于 0.05 个 p.e ，达到 0.1p.e 的电荷测量要求。

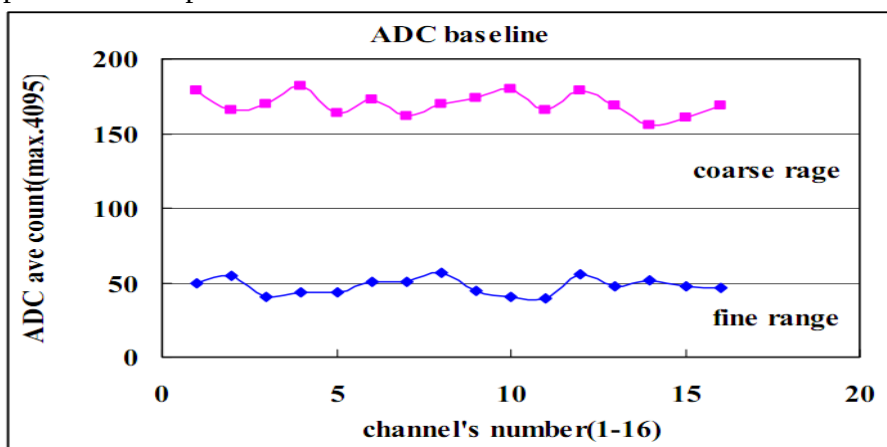


图 5-11 FEE 高低量程 16 路通道 ADC 台基平均值

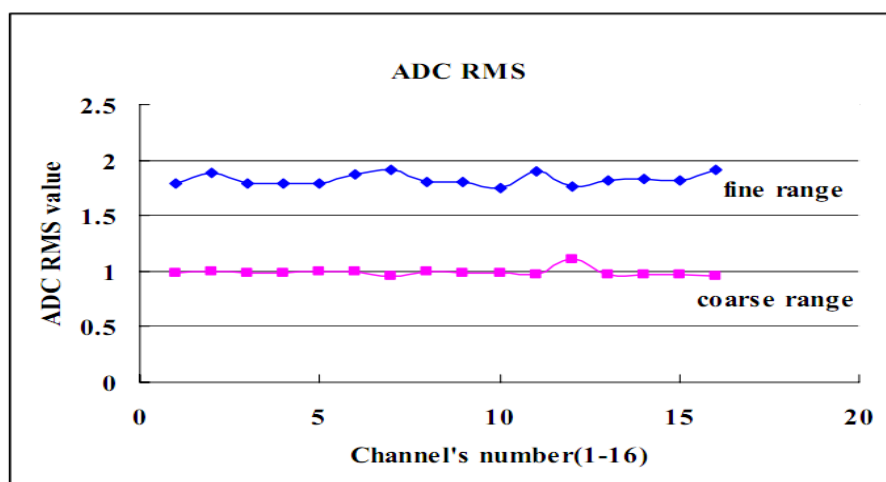


图 5-12 FEE 高低量程 16 路通道 ADC 台基 RMS 值

5.2.3 电荷分辨测量

电荷测量的精度是 FEE 读出插件的一项关键技术指标,也是实现难度最大的一项指标,下表 5-2 是在校准刻度模式下不同 DAC 幅度下测得的电荷量的 RMS 值,这个结果直接反映出电荷测量的精度。在校准刻度信号 DAC 等于 75 时,输入的电荷量相当于 1 个光电子,此时测得 16 通道电荷分辨最大值为 1.5 个 ADC 计数;从表中可以电荷测量误差 信号幅度的增加而按比例增加,这是因为刻度信号和 ADC 的采样时钟是异步信号,正如前面所述,在 ADC 采样数据中寻峰所得的结果和真实的峰值有着一定的误差,而该误差在峰值的 4% 范围内随信号在增大而增大。

表 5-2 校准刻度模式下 FEE 电荷测量 RMS 值

DAC	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
150	90.1	187.1	121.3	99.3	118.0	83.9	144.5	104.2
200	97.8	196.5	129.2	108.0	125.9	93.2	154.3	112.7
500	144.5	254.7	176.7	161.0	174.2	150.1	214.9	164.9
1000	224.7	353.8	258.9	250.6	258.0	247.4	319.6	255.4
2000	387.2	549.7	425.7	427.8	428.4	440.3	527.4	437.1
4000	703.1	932.1	756.0	779.0	752.8	816.8	933.9	789.4
6000	1021.7	1321.1	1093.1	1135.8	1077.9	1198.4	1346.5	1145.9
7000	1182.2	1514.3	1262.0	1313.3	1242.2	1387.6	1550.4	1324.5
8000	1341.8	1706.6	1429.6	1489.7	1406.0	1575.6	1753.5	1502.0

10000	1658.4	2090.1	1762.1	1841.0	1730.8	1951.5	2156.3	1854.5
12000	1975.4	2463.8	2095.2	2189.2	2054.5	2320.9	2547.8	2202.6
16000	2593.1	3233.7	2741.5	2878.0	2685.8	3060.9	3356.4	2886.1
18000	2902.6	3631.5	3072.4	3231.1	3011.6	3441.2	3771.9	3234.4
25000	901.2	987.7	917.7	947.8	893.8	977.0	1003.3	942.5
30000	984.5	1106.5	1024.6	1054.1	982.5	1092.5	1123.4	1040.0
40000	1170.5	1320.3	1218.8	1256.6	1170.2	1304.2	1340.7	1241.4
DAC	CH8	CH9	CH10	CH11	CH12	CH13	CH14	CH15
150	211.4	76.7	69.2	104.8	87.4	92.0	89.4	43.8
200	220.3	84.6	77.7	112.8	96.0	101.8	97.4	52.9
500	274.7	131.6	129.0	161.5	152.1	162.2	146.9	107.7
1000	369.5	213.8	218.7	246.3	247.8	267.3	233.0	203.6
2000	566.4	381.0	398.8	419.2	439.4	475.8	405.4	393.8
4000	948.2	707.2	748.7	754.1	811.4	876.6	737.5	755.3
6000	1335.9	1039.1	1105.8	1094.4	1190.2	1284.7	1077.1	1122.0
7000	1530.0	1206.4	1284.5	1266.1	1379.1	1487.6	1248.2	1305.2
8000	1723.4	1372.8	1462.4	1437.0	1566.6	1689.8	1417.7	1486.9
10000	2105.5	1702.6	1815.1	1776.6	1941.0	2091.6	1754.0	1847.6
12000	2477.1	2032.0	2165.8	2112.8	2310.7	2484.7	2090.3	2204.3
16000	3219.1	2674.7	2857.9	2773.6	3045.5	3293.6	2756.7	2918.1
18000	3599.8	3002.7	3213.3	3110.8	3424.8	3705.8	3103.7	3289.6
25000	977.2	926.9	933.2	914.7	959.2	980.8	898.6	937.6
30000	1099.7	1011.2	1033.1	1008.2	1067.0	1109.0	986.9	1041.4
40000	1316.5	1204.3	1245.2	1200.7	1299.7	1342.5	1187.8	1250.4

5.2.4 积分非线性测量

积分非线性(Integral nonlinearity)是指 ADC 的实际转换特性与理想转换特性之间的最大偏差,常用满度值的百分数来表示;为了能够得到电荷读出插件的积分非线性指标,我们使用 FEE 的 DAC 产生校准信号,对 16 通道的 ADC 进行测量,结果如下图 5-13 所

示；同时我们可以求得各通道的积分非线性如表 5-3 所示，从表中的结果可以看出，各通道低量程积分非线性的最大值为 0.4%，高量程的积分非线性最大值为 0.9%，满足电荷测量对线性度的要求。

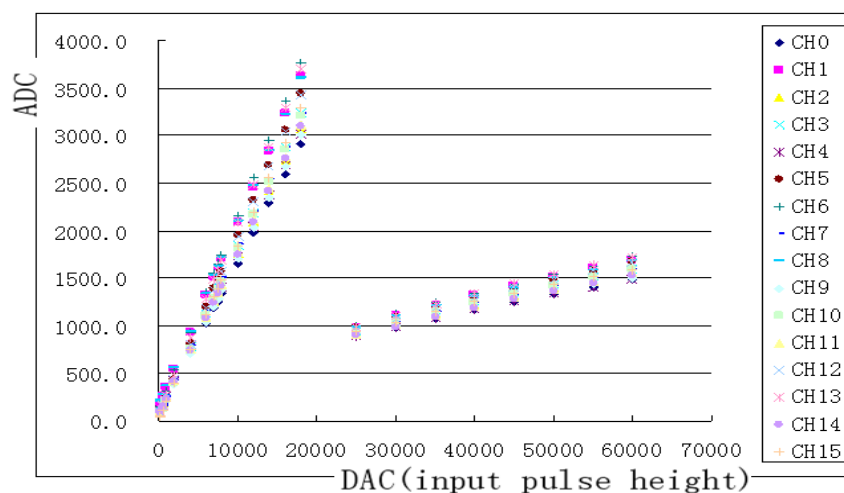


图 5-13 FEE 16 测量通道的刻度结果

表 5-3 FEE 标准刻度模式下 16 通道的斜率、截距和积分非线性

通道号	低量程			高量程		
	斜率	截距	INL (%)	斜率	截距	INL (%)
0	0.1580	70.7	0.3	0.0168	486.8	0.3
1	0.1923	162.4	0.4	0.0201	505.4	0.5
2	0.1658	97.2	0.2	0.0177	497.2	0.5
3	0.1755	77.9	0.2	0.0184	505.7	0.4
4	0.1623	100.3	0.3	0.0169	481.2	0.3
5	0.1880	63.1	0.2	0.0197	501.8	0.4
6	0.2028	120.8	0.3	0.0207	502.1	0.4
7	0.1757	85.4	0.3	0.0183	495.2	0.3
8	0.1902	188.3	0.4	0.0197	509.7	0.6
9	0.1643	53.1	0.2	0.0170	512.2	0.6
10	0.1762	45.7	0.2	0.0189	473.1	0.4
11	0.1687	81.5	0.2	0.0182	463.5	0.3
12	0.1869	64.2	0.2	0.0204	467.0	0.5

13	0.2020	67.1	0.3	0.0211	489.4	0.9
14	0.1686	65.4	0.2	0.0182	449.1	0.4
15	0.1814	25.7	0.3	0.0188	484.8	0.6

5.3 FEE 时间测量方案

同电荷测量类似，在时间精度测试中，我们采用重复 1000 次测量同一校准信号的方法，再求得测量结果的平均值和 RMS 值，在下表 5-4 中我们可以看到时间测量的 RMS 值最大不超过 0.5 个 TDC 计数，即 0.78ns，满足设计小于 1ns 的要求。

表 5-4 FEE 时间测量中 TDC 的 RMS 值

DAC	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
4000	0	0	0	0	0.5	0	0.48	0
6000	0.1	0.27	0.04	0	0	0	0	0
8000	0	0	0	0	0.13	0	0.04	0
10000	0	0.38	0	0	0	0.14	0	0
12000	0.18	0	0	0.49	0	0	0	0.4
14000	0	0	0.03	0	0	0	0	0
18000	0	0	0	0	0.37	0	0.08	0
25000	0	0	0.35	0	0	0	0	0
40000	0	0	0	0.45	0.32	0	0	0
50000	0	0	0	0	0	0	0	0.46
DAC	CH8	CH9	CH10	CH11	CH12	CH13	CH14	CH15
4000	0	0.28	0.47	0	0	0	0	0.45
6000	0	0	0	0	0	0	0	0
8000	0	0	0	0	0	0	0	0.06
10000	0.33	0.08	0.48	0	0.43	0	0.36	0
12000	0	0	0	0	0	0	0	0
14000	0	0	0	0	0	0	0	0
18000	0	0.33	0.48	0	0.15	0	0.47	0

30000	0	0	0	0	0	0	0	0.26
50000	0.31	0	0	0	0	0	0	0

5.4 通道间串扰测试

通道间串扰是 FEE 的重要指标,是指在某一通道发送校准刻度信号时其相邻通道台基值的变化量。

测试串扰时,采取了两种测量方案,第一种是测量 CH2 通道在 CH1 和 CH3 通道有/无大信号输入时台基的变化,可以观察到在 CH1 和 CH3 中输入大信号(如下图所示),CH2 的台基基本没有变化。

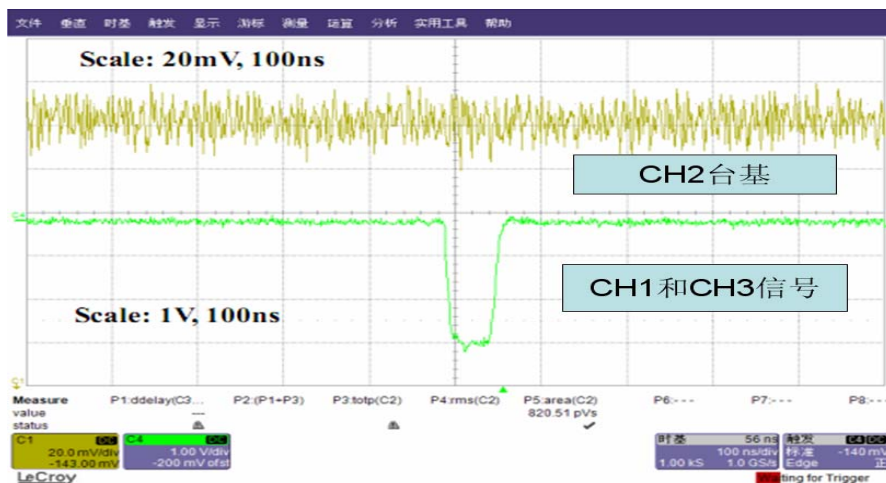


图 5-14 CH1 和 CH3 对 CH2 的串扰

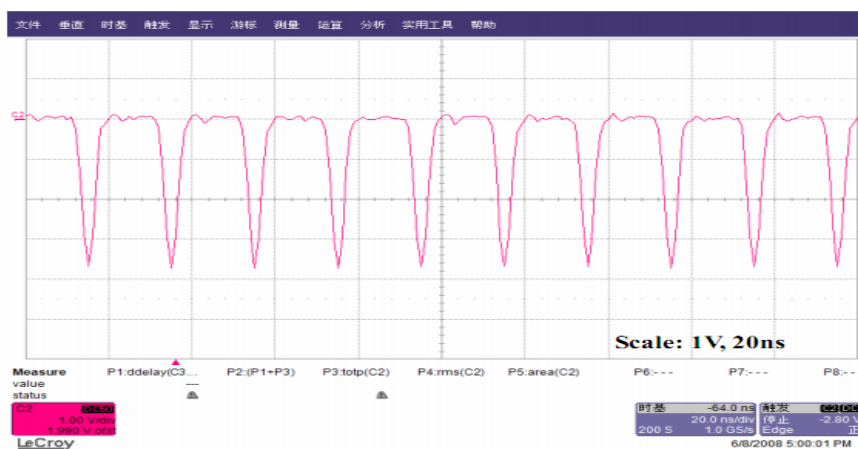


图 5-15 输入 CH2 的周期信号

第二种方案是测量在 CH2 中有/无输入周期大信号(图 5-13)对 CH1 和 CH3 台基的影响, 测量 10000 次 CH1 和 CH3 在 CH2 有/无信号时低通道的 ADC 值, 并求得其平均值和方差, 对比结果如表 5-5 和 5-6 所示; 从表中我们可以看到, CH1 和 CH3 在 CH2 输入大信号之后台基均值变化不大, 最大的台基变化为 0.3 个 ADC 计数, 符合设计要求。

表 5-5 CH2 无信号输入时 CH1 和 CH3 通道 ADC 的平均值(av)和方差(stdev/sdev)

measure times	Ch1_av	Ch1_stdev	Ch3_av	Ch3_sdev
1	51.2	1.79	40.6	1.77
2	51.1	1.79	40.6	1.77
3	51	1.76	40.6	1.75
4	51.1	1.8	40.6	1.77
5	51.1	1.79	40.7	1.75

表 5-6 CH2 有信号输入时 CH1 和 CH3 通道 ADC 的平均值(av)和方差(stdev/sdev)

measure times	Ch1_av	Ch1_stdev	Ch3_av	Ch3_sdev
1	50.9	1.85	40.4	1.83
2	51.0	1.84	40.5	1.82
3	51.1	1.83	40.6	1.81
4	51	1.83	40.5	1.81
5	51	1.84	40.6	1.82

5.5 本章小结

以上各项测试结果表明, PMT 读出电子学插件能够有效地实现设计要求的各项功能, 其台基稳定性、积分非线性、时间测量的性能指标均已达到测量的要求, 能很好地完成 PMT 输出信号的电荷及时间测量任务。因此, PMT 读出电子学插件的设计是成功的, 可以将插件应用于 PMT 读出电子学系统。

第6章 PMT 读出电子学小系统联调

在完成了 PMT 读出电子学的单板测试之后，PMT 读出电子学小系统联调将是读出电子学插件应用于模型探测器的必要阶段，本章介绍小系统联调。

6.1 PMT 读出电子学小系统

6.1.1 小系统介绍

PMT 读出电子学小系统由 PowerPC MVME5500、FEE 插件、触发插件 (LTB/MTB/Clock System)、扇出插件和高速波形采样插件(FADC)组成；图 6-1 为小系统的结构示意图，图中仅显示了插件在 VME 机箱中的相对位子，没有显示插件的互联信息；图 6-2 为小系统现场测试实物图。

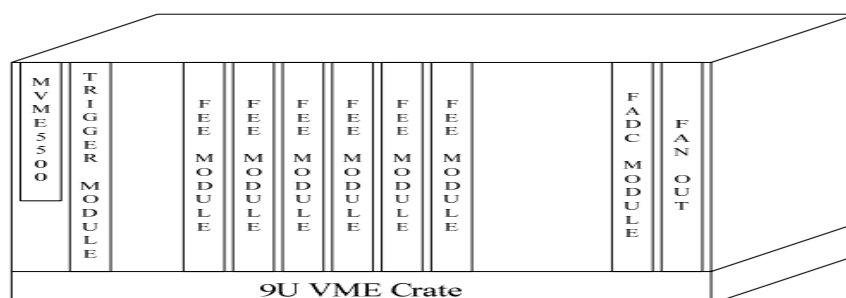


图 6-1 小系统结构示意图



图 6-2 小系统现场测试图

在 PMT 读出电子学小系统中，FEE 和触发作为两个最重要的功能模块，其信号通讯如下图所示，LTB 传给 FEE 的信号包括由前面板 Lemo 线传输给 FEE 的 40M 的时钟信号和触发信号，以及通过 VME 背板总线传递的包括 2bit 的触发类型信号和 1bit 的触发校验(check)信号；FEE 传递给 LTB 的信号包含由前面板 Lemo 线传输的 PMT 击中数目信息(Multiplicity)、能量和信息(Energy Sum)以及通过 VME 背板总线传递的 BufferFull 信号和 ReadRequest 信号。

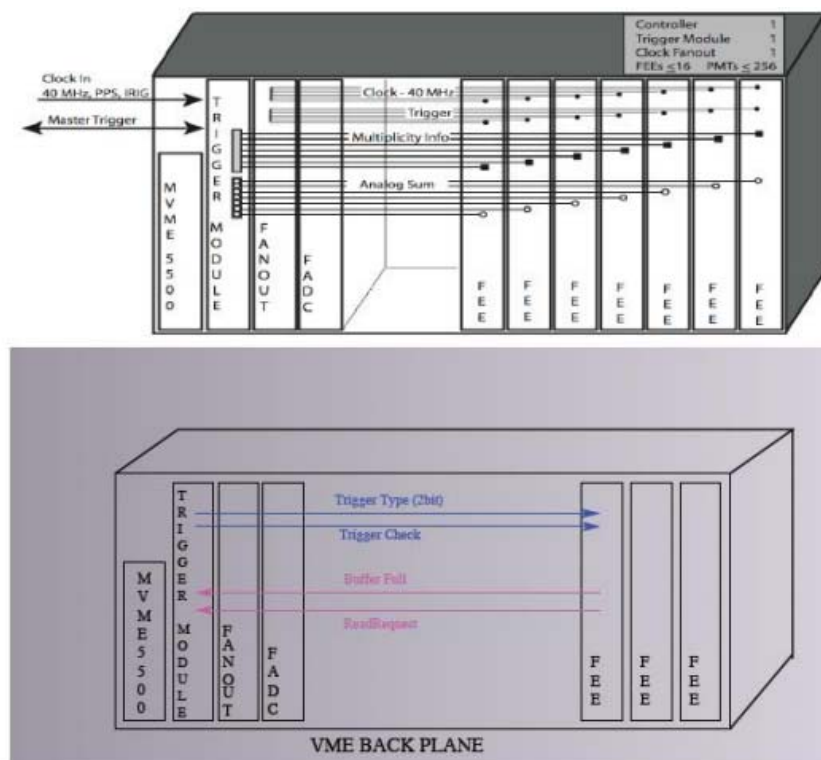


图 6-3 小系统 FEE 和 LTB 信号通讯图

6.1.2 小系统 DAQ

下图是 PMT 读出电子学小系统 DAQ 示意图，根据运行设备可将其分为读出模块和在线软件两个部分，读出模块运行在 PPC 5500 平台上，在线软件运行在 PC 机上，读出模块通过 VME 总线与电子学系统通讯，同时通过以太网与在线软件进行通讯。

小系统搭建完成时，小系统 DAQ 的功能已经较为完善，基本实现了设计时的功能需求，能够完成 PMT 电子学插件的配置，PMT 电子学数据的读出、组装以及存储，数据库的功能也已经基本完成，具有初步的报错与数据流监测体系，用户界面良好。

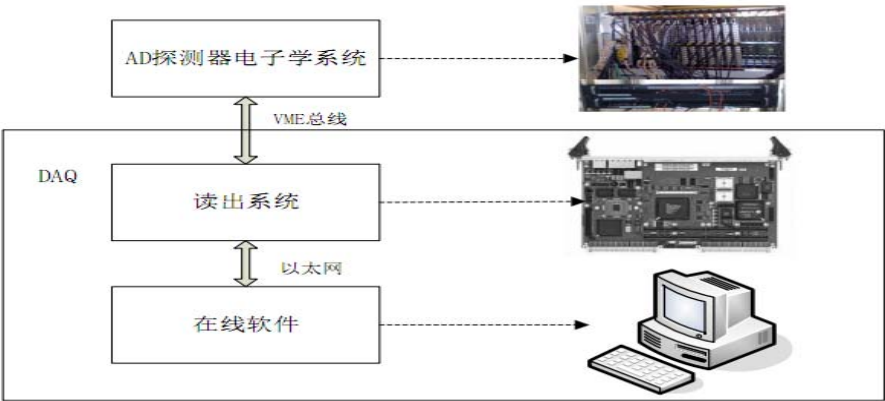


图 6-4 小系统 DAQ 示意图

6.1.3 小系统数据格式

小系统 DAQ 定义的一个完整事例的格式如图 6-5 所示，一个完整的事例由事例头以及参加取数的所有 ROM(ReadOut Module)的数据片段组成，每个 ROM 的数据片段由包含了格式信息的数据头和具体的数据内容组成。

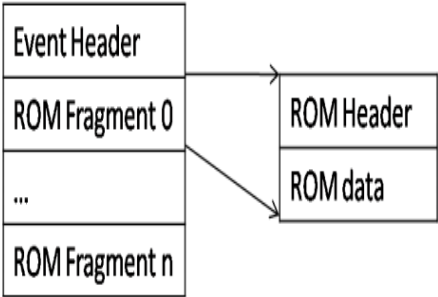


图 6-5 DAQ 事例格式

表 6-1 小系统电子学数据格式

		31	30	29	28	27~23	22~20	19~16	15~8	7~0
Module Header		0	0	1	X	GEO	ModuleType			
Trigger 1	Header	0	1	0	X			Status Check Info		Trigger Num
	Data	0	0	0	X					
	Data	0	0	0	X					
	Footer	1	0	1	X			Event Length		
Trigger 2	Header	0	1	0	X			Status Check		Trigger Num
	Data	0	0	0	X					
	Data	0	0	0	X					
	Footer	1	0	1	X			Event Length		
...										
Trigger N										
Module Footer		1	1	0	X	GEO			Module package Total Length	

根据事例格式的要求和方便数据检查，电子学的读出数据格式做了统一的制定，如

表 6-1 所示。GEO 是插件的物理地址，Module Type 是插件类型，status Check Info 是 FEE 同 LTB 同步信息，Trigger Num 是触发号，Event Length 和 Total Length 包含了所在结构头尾两个整型的长度；按照 DAQ 的电子学数据格式要求，FEE 的数据格式如下表 6-2 所示。

表 6-2 PMT 读出电子学(FEE)数据格式

CBLT Module Head ¹																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
0 ⁺	0 ⁺	1 ⁺	0 ⁺	GA[4:0] ¹								0 ⁺	0 ⁺	0 ⁺	Module Type ²										0 ⁺										
¹ GA: VME Module Geographic Address																² Module Type: is 0x01 for PMT FEE board ³																			
Data Head ⁴																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
0 ⁺	1 ⁺	0 ⁺	0 ⁺	Data format ver ⁵								0 ⁺				Trigger Type ⁶				Check info[7:0] ⁴								Trigger number[7:0] ⁷							
⁵ Data format version: now is version 1, should be 0001. ⁶																																			
⁷ Trigger type: 0000 – local trigger, 0001 – cross trigger																⁴ Check info: bit[1]: 1-check, 0-no check. bit[0]: 1-error, 0-no error. bit[7:2]: not defined. ⁴																			
⁷ Trigger number: 8-bit loop integer starts from 0. ⁴																																			
Charge (Q) ⁸																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
0 ⁺	1 ⁺	1 ⁺	Channelid[3:0] ⁹								Range ⁸								Pedestal[11:0] ⁹								Charge[11:0] ⁹								
⁸ Range: 0 – low range, 1 – high range ⁹																																			
Time (T) ¹⁰																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
1 ⁺	0 ⁺	0 ⁺	Channelid[3:0] ⁹								Peaking cycle[3:0] ¹⁰				Hit Count[3:0] ¹¹				Time[16:0] ¹²																
¹⁰ Hit Count: When there are more than one hit per trigger. The first hit count is 1 and the 2 nd last hit count is 2, and so on. Maximum Hit Count is equal to Max_Num_Of_Hit_Per_Trigger Register (address 0x5200) ¹¹																																			
Data Foot ¹³																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
1 ⁺	0 ⁺	1 ⁺	0 ⁺	0 ⁺								Trigger number[7:0] ¹⁴								0 ⁺				Data transfer length[9:0] ¹⁵											
¹³ Data transfer length: Number of data bytes from Data Head to Data Foot. ¹⁴																																			
CBLT Module Foot ¹⁶																																			
31 ⁺	30 ⁺	29 ⁺	28 ⁺	27 ⁺	26 ⁺	25 ⁺	24 ⁺	23 ⁺	22 ⁺	21 ⁺	20 ⁺	19 ⁺	18 ⁺	17 ⁺	16 ⁺	15 ⁺	14 ⁺	13 ⁺	12 ⁺	11 ⁺	10 ⁺	9 ⁺	8 ⁺	7 ⁺	6 ⁺	5 ⁺	4 ⁺	3 ⁺	2 ⁺	1 ⁺	0 ⁺				
1 ⁺	1 ⁺	0 ⁺	0 ⁺	GA[4:0] ¹⁷								0 ⁺	0 ⁺	0 ⁺	0 ⁺	Data transfer length[15:0] ¹⁸																			
¹⁶ Data transfer length: Number of data bytes from CBLT Module Head to CBLT Module Foot. ¹⁷																																			

6.2 小系统 FEE 调试

为检验 FEE 各电子学各通道的工作情况和性能表现，在小系统读出机箱未连接探测器的条件下，主要采用两种模式作为性能检测手段，即电子学诊断模式与台阶模式。

电子学诊断模式(刻度模式)是让 FEE 插件产生刻度信号作为输入信号，通过分析输出信号与输入信号的关系来检验 FEE 各电子学通道是否正常工作；台阶模式用来观测没有信号输入情况下，FEE 各通道自身的基线与噪声水平。

6.2.1 FEE 电子学诊断模式

在电子学诊断模式下，重复 1000 次标准输入信号，经过电子学插件处理后得到相应的输出信号，用线性拟合得到输入输出的关系曲线，如图 6-6 所示，可以看到高低量程的增益比大约为 20。

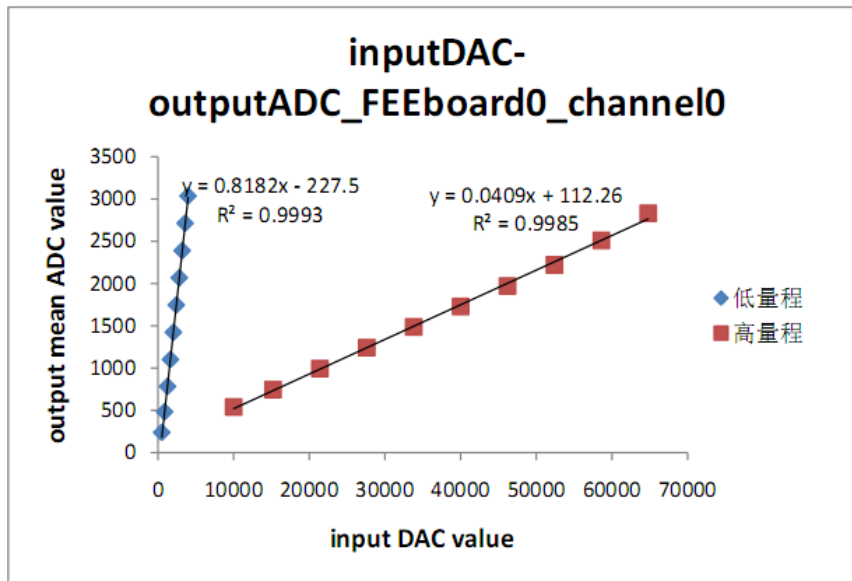


图 6-6 FEE ADC/DAC 关系示意图

下图 6-7 为 12 块 FEE 电子学诊断直方图，可以看到 12 块 FEE 的 192 个通道均工作在正常区域内，没有死道、冒道等电子学异常通道。

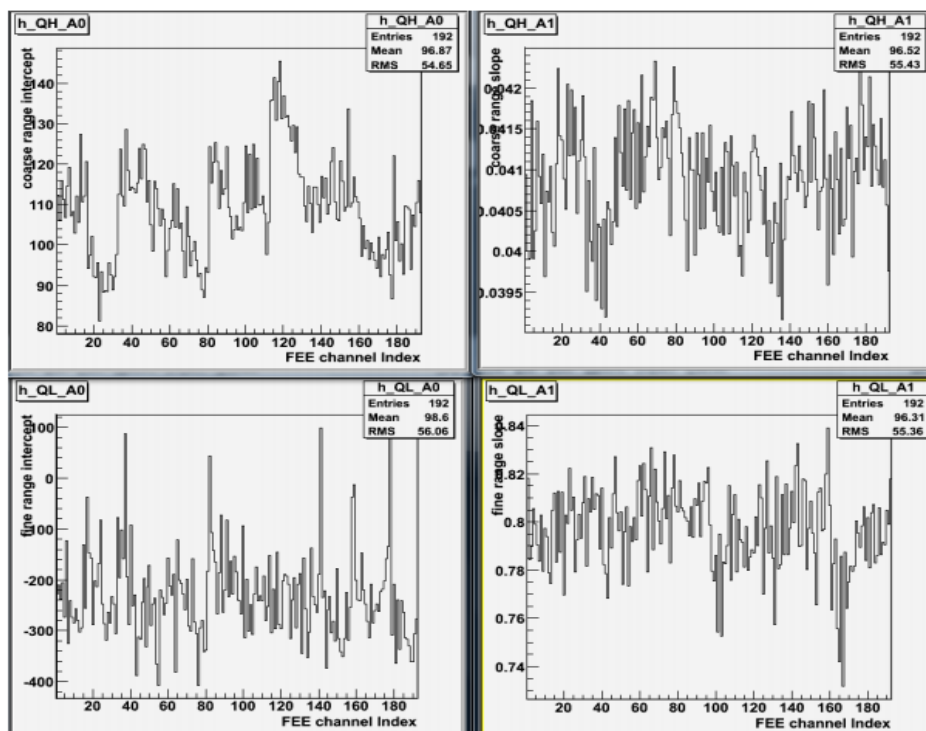


图 6-7 FEE 电子学诊断直方图

电子学诊断模式验证了 FEE 处于正常工作状态，同时也提供了最简洁的方法能在第一时间发现电子学通道的异常。

6.2.2 FEE 台阶模式

台阶模式是在设置阈值为 0 的情况下，采用随机触发来获取数据以检查 FEE 各通道的基线和噪声；在没有连接探测器的情况下，噪声的来源主要是电子学噪声，研究噪声指标有着重要的意义。

下图 6-8 是 FEE 单通道的基线及噪声分布情况，该通道 ADC 的基线值为 79.63，噪声 RMS 为 1.55 个 ADC 计数；按照设计要求 FEE 输出信号 40 个 ADC 计数对应于 1p.e(PMT 增益为 2×10^7) 即 4 个 ADC 计数，因此 FEE 该通道的噪声水平符合设计要求。

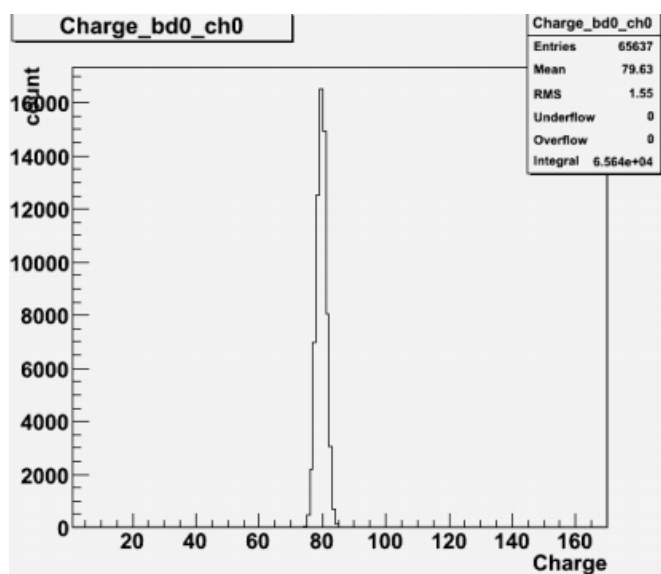


图 6-8 FEE 单通道噪声谱

图 6-9 所示为 12 块 FEE 插件 192 通道的基线和噪声水平直方图，每块 FEE 插件的 16 个通道的基线水平呈现下降趋势，这与电子学通道在 FEE 面板上的排布和 VME 机箱的风扇温度有关，机箱温度升高时，FEE 通道噪声也随之有着升高的趋势。

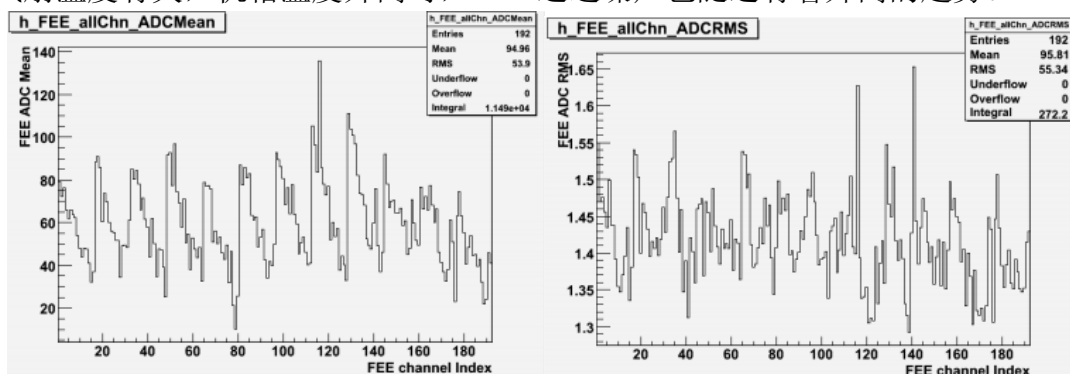


图 6-9 台阶模式下 FEE 电子学通道基线与噪声水平

台阶模式验证了 FEE 处于正常工作状态，同时其得到的基线值也为今后分析数据提供了重要依据；同样的台阶模式下测得的电子学通道噪声水平作为实验的重要指标，其决定了如何选取合适的阈值从而尽可能的压低噪声、保留好的物理事例。

6.3 小系统联调

在完成小系统 FEE 的调试之后，本小节将对小系统联调进行介绍。

6.3.1 FEE 与 LTB 测试

作为 PMT 读出电子学系统的两个重要插件，LTB 和 FEE 分别担任着信号触发判选和信号电荷时间测量的重要任务，其工作状态直接影响到整个 PMT 读出电子学系统的工作状况。

如下图 6-10 所示为 LTB 和 FEE 的初始化过程图，整个初始化过程包括了 LTB 阈值设置，LTB 延迟设置，LTB 宽度设置，FEE 阈值设置和 FEE 延迟设置等步骤，其联合功能测试项目如表 6-3 所示。

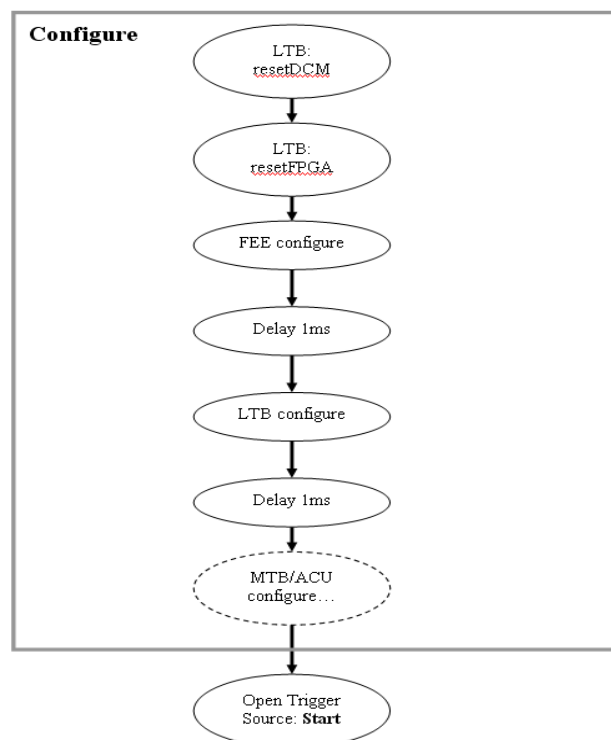


图 6-10 LTB/FEE 初始化过程图

表 6-3 LTB 和 FEE 测试项目表

LTB trigger mode	FEE configure	Data Status		
		LTB	FEE	
			Low	High
Manual	self calibration	Ok	Ok	Ok
Period	self calibration	Ok	Ok	Ok
(total / Low) Esum	generator	Ok	Ok	Ok
(low) ESum ADC	generator	Ok	Ok	Ok
nPMT	generator	Ok	Ok	Ok
nPMT + ESum + ESum ADC	generator	Ok	Ok	Ok
nPMT + ESum + ESum ADC	FEE DAC bd1 16chs	Ok	Ok	Ok
nPMT + ESum + ESum ADC	Noise	Ok	Ok	-
Period + nPMT + ESum + ESum ADC	generator	Ok	Ok	Ok
Period + nPMT + ESum + ESum ADC	FEE DAC bd1 16chs	Ok	Ok	Ok
Period + nPMT + ESum + ESum ADC	Noise	Ok	Ok	-

在小系统 LTB 和 FEE 测试中，首先检查了加入 LTB 插件之后 FEE 的工作状态，即 FEE 在电子学诊断模式下的工作状态如图 6-11 所示，在 Manual 和 Period 的触发模式下，LTB 和 FEE 都工作正常；台阶模式下的噪声测试如图 6-12 所示。

LTB trigger mode	FEE configure	Data Status		
		LTB	FEE	
			Low	High
Manual	self calibration	Ok	Ok	Ok
Period	self calibration	Ok	Ok	Ok

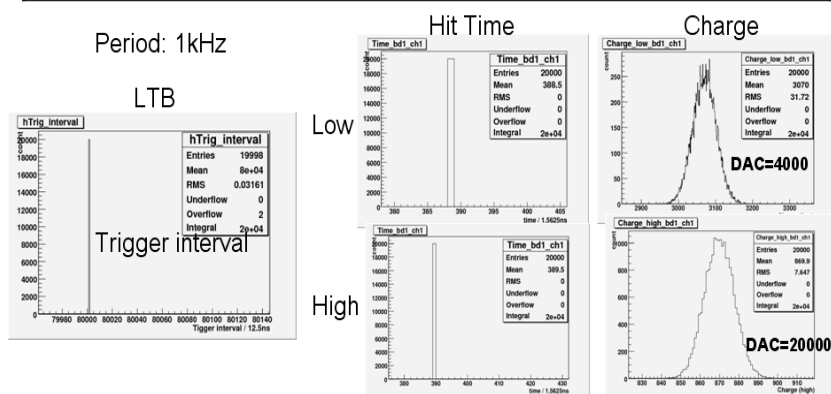


图 6-11 电子学诊断模式下的测试图

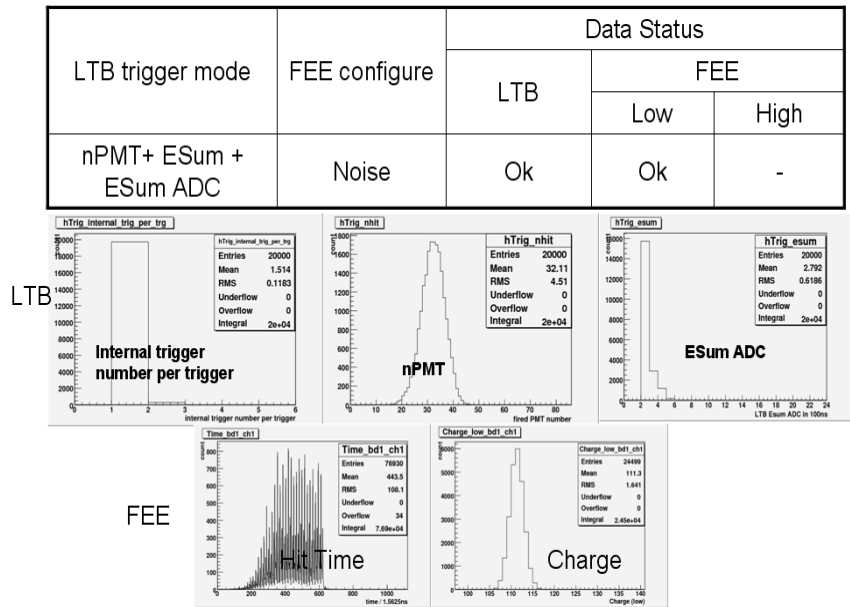


图 6-12 台阶模式下的噪声测试图

LTB 和 FEE 的触发通讯如前所述是设计中最关键的环节，FEE 在 LTB 多种触发模式下的测试图如下所示，测试结果显示 LTB 和 FEE 工作正常，功能完善。

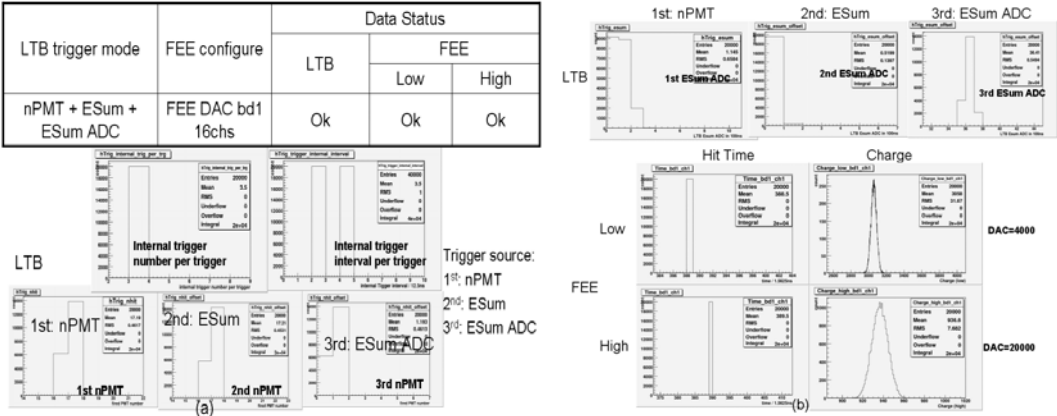


图 6-13 FEE 在 LTB 多种触发模式下的测试图

同单板测试一样，小系统 FEE 插件 ADC 和 DAC 最小单位(bin)校准是一个重要的指标参数，图 6-14 是 FEE 插件 DAC 刻度图，可以计算得到每个 DAC bin 为 0.028pc，这同 FEE 单板测试的结果一致；同样的由图 6-15 可以计算得出每个 ADC bin 为 0.036pc，也可以求得 1p.e(1.6pc)对应 44 个 ADC bin，此结果也同 FEE 单板测试结论相符合。

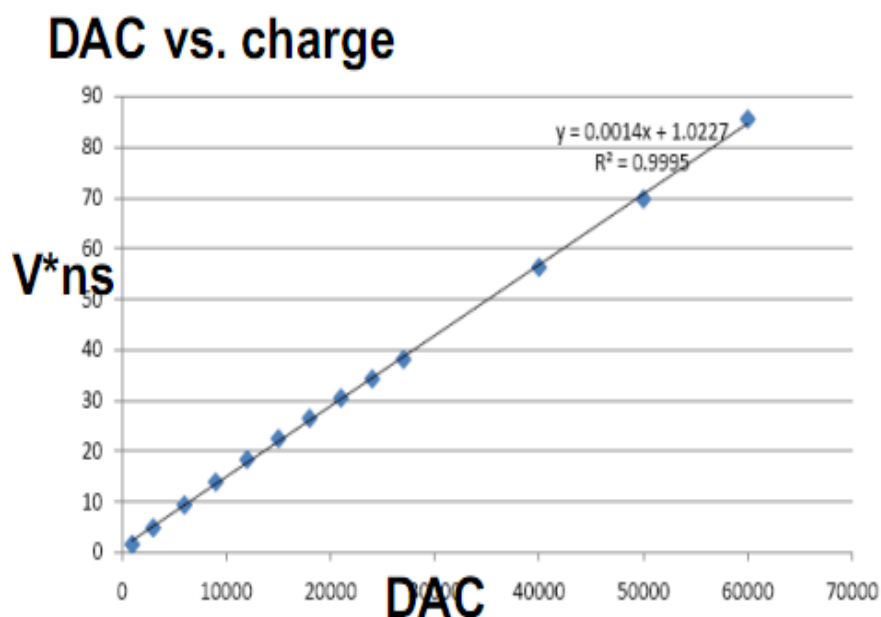


图 6-14 FEE 插件 DAC 刻度

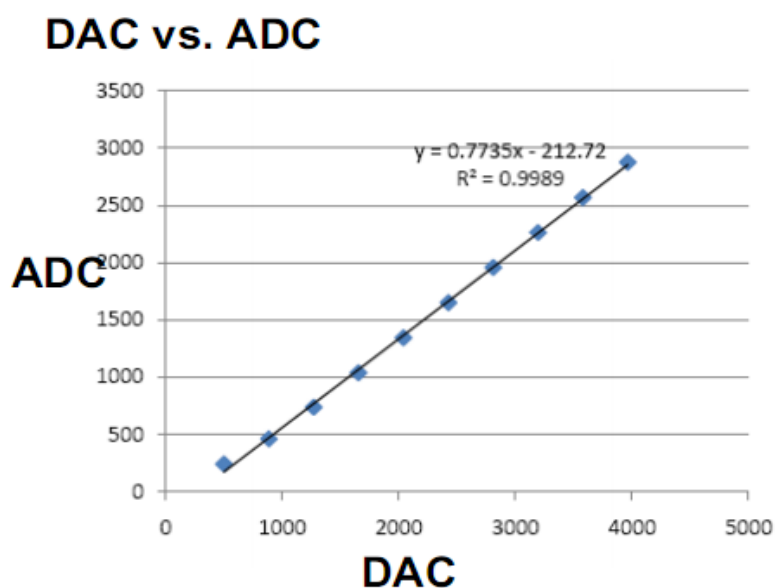


图 6-15 FEE 插件 ADC 刻度

6.3.2 FEE 与 FADC 测试

在小系统联调中，加入 FADC 插件有两个重要原因，首先检验 FADC 插件是否可以成功参与整个小系统的 CBLT 数据传输，其次是与 FEE 进行通讯，使用 FEE 插件所提供的 Esum 信号，对 FADC 插件的 1Gps 波形取样功能进行验证。

FEE 插件 Esum 信号在 FADC 插件前端的接收电路如下图(图 6-16)所示，FADC 接收

Esum 的 LVDS 信号，在电路前端将差分信号转成单端信号，然后再将两路相加求和，最后再把单端信号转换为差分信号，Esum 信号在 FADC 前端探测的波形组图如图 6-17 所示，可以看到 FEE 同 FADC 通讯正常。

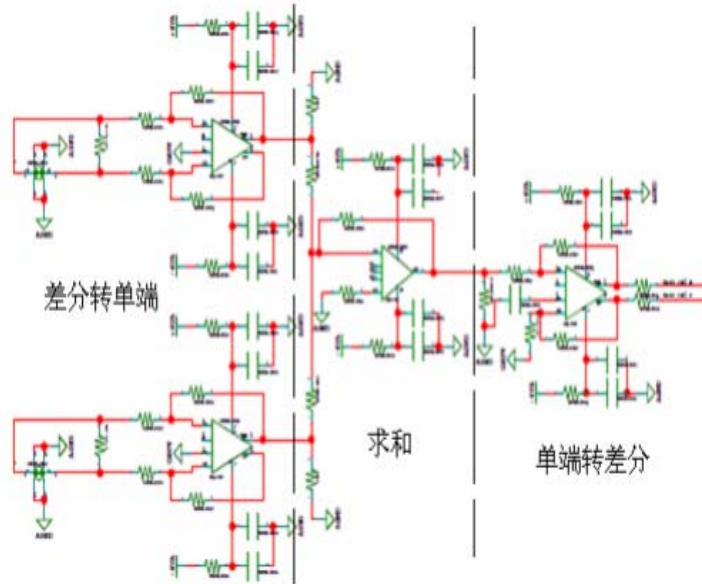


图 6-16 FADC 前端接收电路

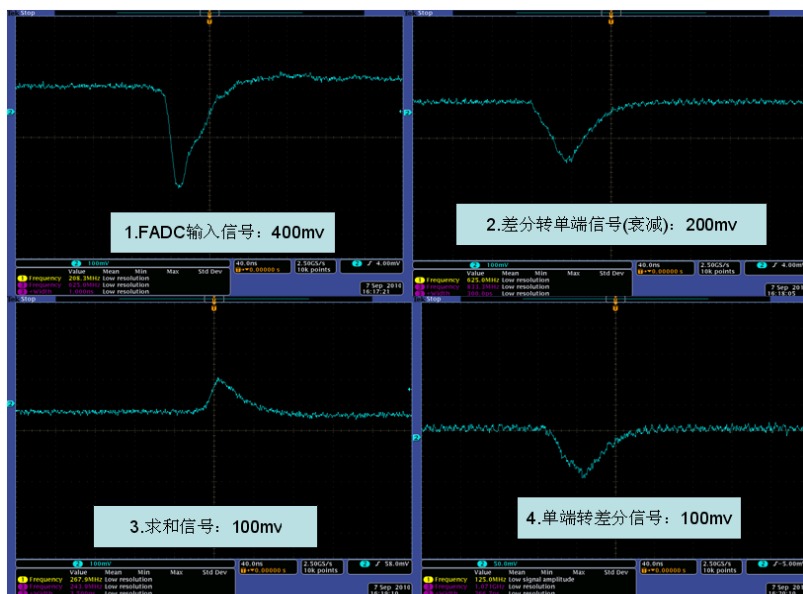


图 6-17 FADC 前端电路探测的波形组图

FADC 插件的波形采样功能的实现如下图 6-18 所示，图(a)是 FADC 插件输入 Esum 情况下，使用示波器探测到的 FADC 芯片差分输入的正信号端的波形，脉冲宽为 50ns；图(b)是图(a)的信号经过 FADC 采样后重建的波形，可以看到采样信号和测量结果相吻

合。

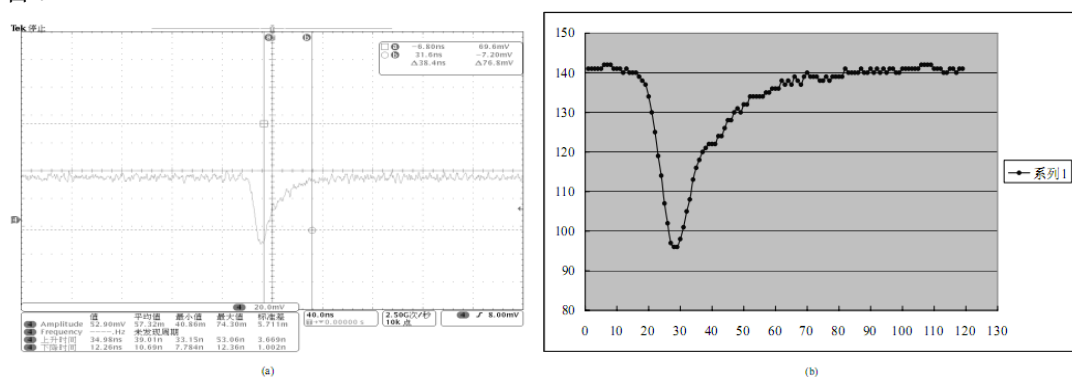


图 6-18 FADC 插件输入信号波形(a)和重建波形(b)

6.3.3 小系统 CBLT 测试

CBLT(Chained Block Transfers)是 VME64xP 附录 E 所提出的新型的块传输方法，同意机箱内的不同插件有相同的块传输地址，通过令牌在各个不同插件之间的顺序传递来选择插件并读出插件内的数据。

CBLT 在 VME 系统中借用 IACKIN*和 IACKOUT*在插件之间传递令牌，插件获得令牌可以传输数据，在插件的数据传输结束之后，就立即将令牌传给下一个插件，这样一次 CBLT 就可以逐次读出一个机箱全部插件的数据。由于一次 CBLT 传输并不需要事先确定所要传输的数据量，所以 CBLT 特别适合各插件数据量未知的物理事例的快速读出。

CBLT 传输遵守 VME64 规范，是一种异步传输方式，通过握手实现数据传输，不依赖系统时钟；D32 CBLT 传输启动需要同时满足：

- CBLT 地址符合；
- CBLT 的 AM 码符合；
- IACK*=1；
- LWORD*=0；
- WRITE*=1；
- DS0*=0, DS1*=0；

整个 CBLT 传输由最后一个插件输出 BERR*信号来结束，典型的 CBLT 时序如图 6-19 所示。

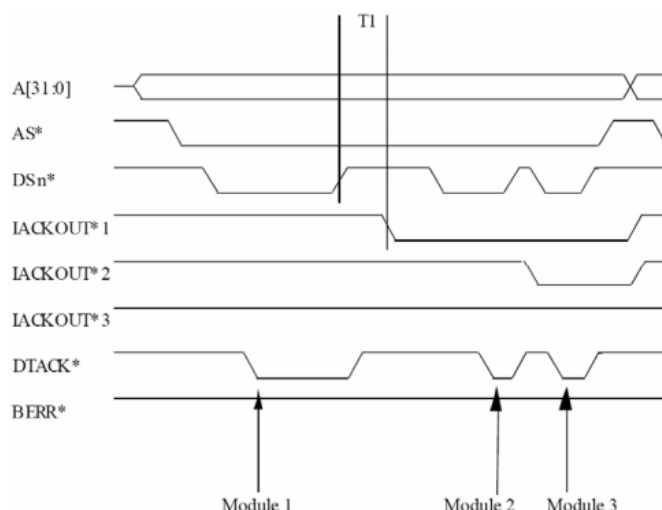


图 6-19 CBLT 响应时序图

下图为小系统整体联调过程中进行一次 CBLT 读出的数据，包括了 FEE、LTB 和 FADC 的数据。此次数据读出对应的触发号为 0x8，LTB 的数据从“22030000”开始，在“c2000028”处结束，对应一个 LTB 板的数据；FEE 的数据从“23010000”开始，在“c8000010”处结束，共包含 9 个 FEE 的数据；FADC 的数据从“28820000”开始，直到整个数据块结束。从图中可以看到，小系统各插件的数据读出正常，格式也符合要求，小系统 CBLT 读出成功。

```

L1ID : 0x8 ; 8
22030000 40410008 00000100 00000002 00211459 0254c7f0 00012002 00000015
a0000020 c2000028 23010000 40010008 0005018a 1002023d a0080010 c3000018
24010000 40010008 a0080008 c4000010 24810000 40010008 a0080008 c4800010
25010000 40010008 a0080008 c5000010 26010000 40010008 a0080008 c6000010
26810000 40010008 a0080008 c6800010 27010000 40010008 a0080008 c7000010
27810000 40010008 a0080008 c7800010 28010000 40010008 a0080008 c8000010
28820000 40010008 6008d8d8 608d8d8d 608e8e8e 608d8d8d 608c8d8c 608c8c8b
608a8986 60827d77 60726b66 60616060 60626569 606c7174 60767879 607a7a7a
607c7c7e 60808082 60838284 60848686 60868686 60878788 6088888a 60898a89
608b8a89 608b8c8b 608a8b8a 608a8b8b 608b8d8c 608c8d8c 608d8d8d 608e8e8e
608c8d8d 608c8d8d 61007e7e 617f7e7d 617f7e7e 617f7e7f 617f7e7e 617f7e7f
617e7f7e 617e7d7e 617f7e7e 617f7d7e 617e7e7f 617e7f7f 617f7e7e 617f7e7f
617e7e7e 617e7e7e 617e7f7e 617f7e7e 617f7e7e 617e7e7f 617e7e7e 617e7e7f
617e7e7e 617e7e7f 617f7e7e 617f7d7f 617e7e7f 617e7e7f 617f7e7e 617f7e7f
617e7e7e 617f7e7e 62008d8d 628d8d8e 628e8d8d 628e8d8d 628e8d8d 628e8d8d
628d8e8d 628e8e8d 628d8d8d 628e8d8d 628e8f8e 628e8d8d 628d8d8e 628d8d8d
628d8d8d 628e8d8e 628d8e8e 628e8d8d 628d8d8d 628d8d8d 628d8d8d 628d8d8d
628e8d8e 628d8d8d 628d8d8d 628d8d8e 628d8e8d 628d8d8e 628e8e8e 628d8d8d
628e8d8e 628d8d8d 63007e7e 637f7f7f 637e7f7e 637f7f7f 637f7e7f 637f7e7f
637f7f7e 637f7e7f 637e7f7e 637f7e7e 637f7e7e 637e7e7f 637e7e7f 637f7e7f
637f7f7e 637e7e7e 637e7f7e 637f7e7e 637f7e7e 637e7e7e 637e7e7e 637f7f7f
637e7f7f 637f7f7f 64008080 64808080 64808080 64808080 64818080 64818180
64818080 64808080 64808081 64808080 64818181 64808080 64808080 64808080
6481807f 64808080 6480807f 64817f80 64808180 64808081 64808080 64808080
64808080 64818080 6480807f 64818180 64808080 64808081 64808080 64818180
64818080 64808080 65007e7f 657e7e7f 657f7e7f 657f7e7f 657f7e7f 657f7f7f
657f7f7e 657f7f7f 657f7f7f 657f7f7f 657f7f7f 657f7f7f 657f7f7f 657f7f7f
657f7f7f 657f7e7f 657f7e7f 657f7e7f 657f7e7f 657f7e7f 657f7e7f 657f7e7f
657e7f7f 657e7f7e 657f7f7f 657f7f7f 657f7f7f 657f7e7f 657f7e7f 657f7f7f
657f7f7f 657f7f7f 66007f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f
667f7f7f 667f807f 667f807f 667f7f7f 667f7f7f 6680807f 667f7f7f 66807f7f
667f7f7f 6680807f 66807f7f 667f807f 66807f7f 667f7f7f 667f7f7f 667f7f7f
667f7f7f 667f807e 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f
667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f 667f7f7f
667f7f7f 667f7e7f a0080508 c8800510

```

图 6-20 小系统整体联调中一次 CBLT 的数据块

6.4 本章小结

小系统联调的结果显示，FEE 的各项指标符合设计要求，同其他插件的接口和传输也正常，达到了设计目的；同时整个 PMT 读出电子学系统也符合设计要求，可以应用于大亚湾反应堆中微子实验。

第7章 PMT 读出电子学模型探测器验证

在上一章中我们成功完成了 PMT 读出电子学小系统的联调，本章将介绍 PMT 读出电子学系统在高能所中微子模型探测器上的验证使用。

7.1 中微子模型探测器^[59]

高能物理研究所研制的大亚湾中微子模型探测器是为大亚湾实验大体积液体闪烁体探测器的建造、分析提供数据和经验，模型实验的主要作用包括：

- 验证大亚湾中微子探测器的物理设计，包括能量响应、分辨率、反射板以及位置响应等多方面；
- 为将来液体闪烁体/掺钆液体闪烁体的研制和大规模生产提供经验；
- 提供大型液体闪烁体探测器建造的经验；
- 验证大亚湾 PMT 读出电子学系统，为探测器调试提供经验；
- 进行探测器性能刻度和监测方法的前期研究，包括中子响应，时间特性等；

其设计主要包含中微子模型探测器系统，PMT 读出电子学系统和探测器监测刻度系统。

7.1.1 中微子模型探测器系统

三层同心同轴圆柱形探测器设计和探测器上下反射板代替光电倍增管覆盖是大亚湾中微子探测器区别与其他中微子探测器的主要特点，作为以验证大亚湾中微子探测器物理设计可行性的中微子模型探测器，其设计主要包含模型探测器本体、宇宙线 Veto 系统、高压电源系统等。

下图 7-1 是两层同心同轴圆柱形模型探测器的设计框图，内层为闪烁体靶物质，外层为矿物油屏蔽层，最外层为不锈钢罐；模型探测器使用 45 个来自 MACRO 实验的 8 英寸 EMI9350 光电倍增管收集闪烁体荧光，所有光电倍增管面均朝向探测器中轴线且被安装在不锈钢罐内表面并浸没在矿物油中，每十五个沿环面圆周均匀分布如图 7-2 所示。

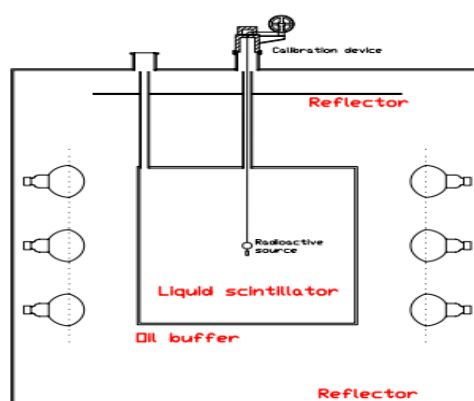


图 7-1 模型探测器设计框图

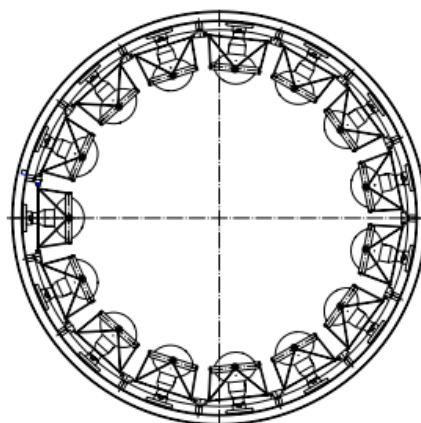


图 7-2 模型探测器 PMT 支撑结构框图

中微子模型探测器实验在地平面上进行，必须考虑宇宙线产生的 μ 子对模型探测器测量的影响，因此模型的 μ 探测器设计为反符合系统，通过立方体钢架覆盖塑料闪烁体包围模型本体达到宇宙线甄别与反符合的目的。

中微子模型探测器实验主要的信号输出来自于光电倍增管，高压电源作为光电倍增管工作的驱动源，工作稳定性直接决定着探测器响应的稳定性；模型实验中模型本体共有 45 路信号输出，加上宇宙线反符合系统的 32 路，共 77 路光电倍增管通道；采用意大利 CEAN 公司的 SY127 高压机箱系统，既能满足多通道的高压输出和功率范围，又具有良好的温湿度稳定性，易于面板和远程控制、警报输出。

7.1.2 模型探测器 PMT 读出电子学系统

在模型实验中，读出电子学系统同将来大亚湾中微子实验存在部分区别，主要包括：

- 模型实验只需要采用单 VME 机箱的 PMT 读出电子学系统，不存在多机箱时间同步的问题，也就不包含时间系统测试；
- 模型触发板的出发时间是通过触发板自身 40MHz 时钟实现的相对事例时间，精度为 200ns，循环周期为~0.86s，没有绝对的时标；
- 在数据获取上，模型实验只需要组装同一个 VME 机箱/AD 内的数据，不需要进行机箱间的数据组装；
- 模型实验的宇宙线 μ 子探测器只作为反符合应用，不需要数据获取，图 7-3 说明了模型实验 DAQ 的主要框架；
- 模型实验所采用的前端软件为 VxWorks(PPC5100)实时操作系统，其工作流程设计如下图 7-4 所示，参照 BESIII 的设计根据大亚湾的电子学系统配置要求、数据读出进行了相关更改，而将来大亚湾实验将使用嵌入式 Linux(PPC5500)实时操作系统；模型实验 DAQ 上位软件直接移植于 BESIII 数据获取系统，继承了 BESIII 事例分级分段组装的框架结构，依据模型实验的要求进行了修改，如图 7-5 所示；
- 模型实验测量的能量区间较低(能力阈值~0.1Mev)，天然放射性本地、宇宙线、放射源强度都较大，导致总的事例率远高于大亚湾实验，也使得数据流量大于大亚湾实验；
- 模型实验的事例相对时间并没有简历单独的数据格式空间，而是借用每块 FEE 的第 16 通道，作为普通通道数据组装、传递，再经过数据解析得到；
- 数据文件包括 run 号、文件编号，每个文件事例数设定为 10000 个；

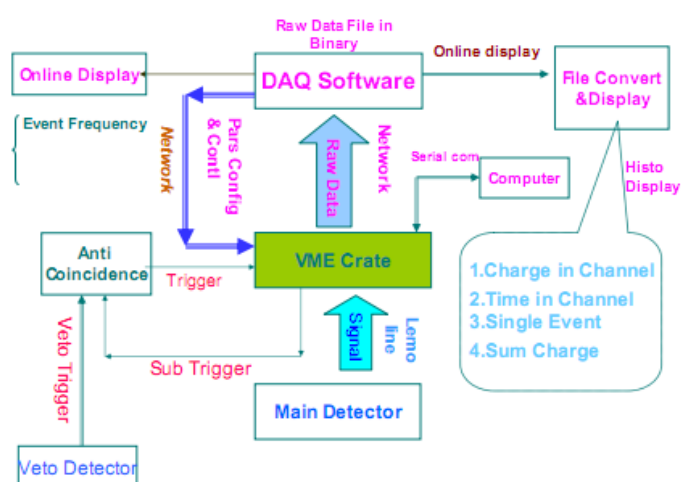


图 7-3 模型实验 DAQ 框架

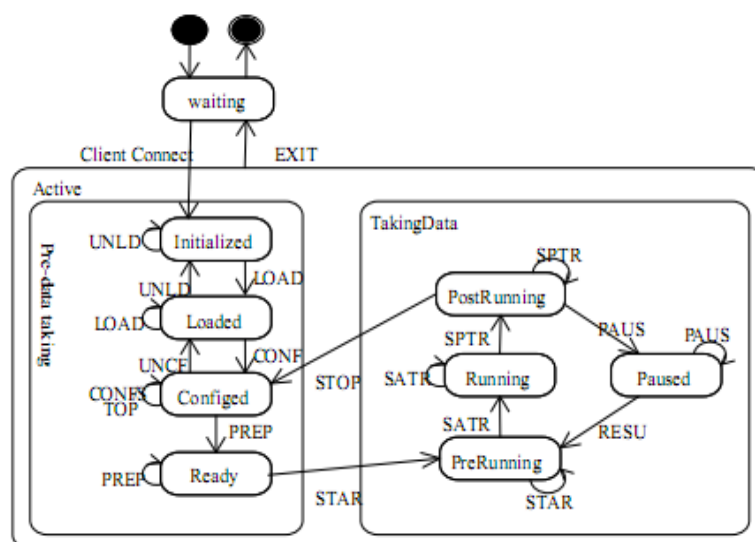


图 7-4 模型实验 DAQ 系统前端软件流程

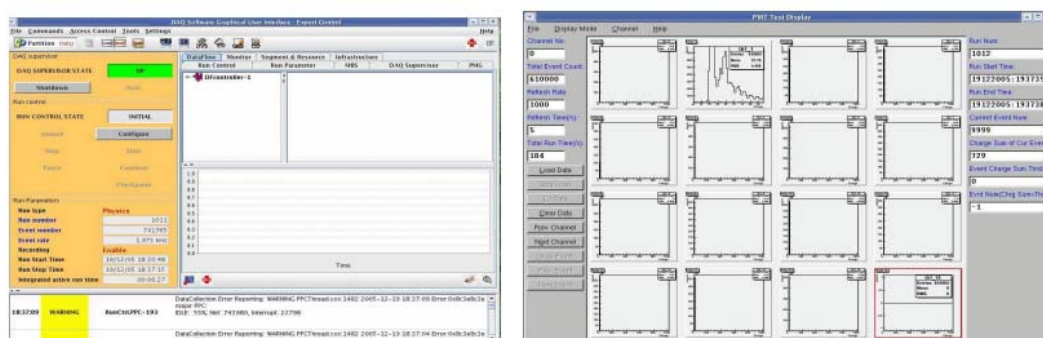


图 7-5 模型实验 DAQ 和数据显示用户界面：左为 DAQ 界面，右为数据显示界面

7.1.3 探测器刻度与监测

大亚湾中微子实验物理目标的实现需要我们对探测器性能有极其精确地了解，同时能够精确监测探测器响应以及工作状态，模型探测器实验的重要目的之一就是探索与时间探测器刻度与检测的有效方式。

远近点探测器的响应差别会导致实验测量得到的中微子能谱出现畸变，因此刻度探测器并在数据测量过程中监测探测器响应，将是探测器精度控制的关键环节，其主要包括：

- 光电倍增管时间、增益、量子效应刻度；
- 探测器系统液闪、白油、有机罐衰减长度、反射板、钢管反射率刻度；

- 放射源进行探测器能量响应刻度；
- 宇宙线 μ 子相伴随的放射性同位素及其他产物，它们均匀分布在探测器内部，可以

作为探测器性能刻度或者长期性能监测的有效手段；

模型实验系统作为较小的探测器系统，将探索大型液闪探测器的建造流程，精度控制；同时探索对光电倍增管的刻度方法、放射源刻度方法、数据分析方法，以及探索监测探测器相关的各种环境变量。

7.2 模型探测器系统测试

探测器调试涉及探测器响应、PMT 读出电子学系统等各个方面，是一项复杂而又庞大的系统性工作；同时探测器系统的调试还有很强的时间紧迫性，以便于在最短的时间内从探测器得到物理数据和结果；成功调试探测器系统是探测器可靠工作的保证，也是后续物理分析的坚实基础，更是实现精确测量和发现新物理的重要环节。

7.2.1 模型探测器 FEE 插件测试

FEE 作为大亚湾实验的模型插件，在探测器调试阶段测试其各项性能，便于完善其设计，为将来大亚湾实验提供可靠经验。FEE 插件的测试主要包括噪声及电荷分辨测量、微分/积分非线性及 ADC 最小单位(bin)测量等两大部分，这些性能的测试可以通过直方图、正弦取现拟合法等多种方法来实现。

- 噪声及电荷分辨测量

FEE 插件存在直流偏移和电子学噪声，表现为电荷测量时随机触发得到的电荷谱(台基)的位置及分布宽度，中心值表征了系统的直流偏移量，分布宽度表征了电子学噪声水平。直流偏移量过小会导致台阶向 ADC 负方向移动过多，致使电荷谱低端被阶段，造成较大测量误差；直流偏移量过大会导致 ADC 有效通道数减少从而降低 ADC 动态测量范围。FEE 插件可以通过调节每个通道的基线直流电平调节装置使得每通道的台阶位置基本一致。

电子学噪声将直接影响 PMT 电荷测量的精度，模型实验 FEE 插件的噪声测试结果如下图 7-6 所示，台阶分布的 RMS 为 0.8 个 ADC bin，相当于 0.15 p.e.@200 p.e.的动态范围，基本满足设计要求。

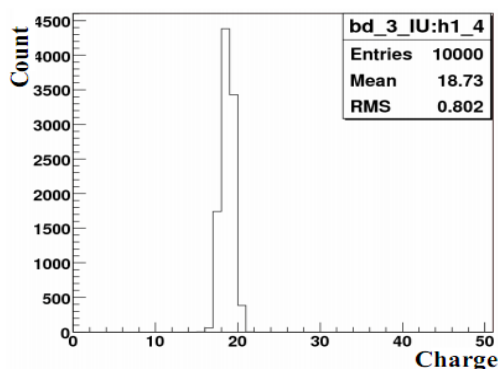


图 7-6 模型实验 FEE 插件电子学噪声谱

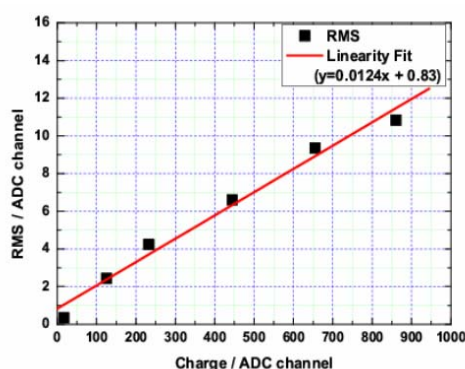


图 7-7 模型实验 FEE 插件电电荷测量精度

电荷的精度测量是 FEE 插件的关键技术指标,将直接影响探测器能量测量的分辨率,图 7-7 为模型实验测量得到的 FEE 插件典型的电荷测量精度,其输入电荷分布 RMS(Y) 为输入信号电荷幅度(X)的函数: $Y=0.0124X+0.83$ (X, Y 的单位为 ADC 最小单位 bin)。综合基线噪声测量结果可以推出,电荷测量精度主要受到基线噪声水平的影响,而电荷测量本身的精度高于 0.5%,可以忽略。

- 微分/积分非线性以及 ADC bin 宽测量

在模型实验中,我们采用正弦输入法离线测量 FEE ADC 的微分非线性(DNL),具体方法是采用正弦信号作为输入送入 FEE 输入端,直接输出 ADC 的采样点,通过比较输出谱线分布和理论分布的差别得到微分非线性,进而求得积分非线性(INL)。计算与测量得到的 ADC 输出谱及最终每个通道 DNL 测量值如图 7-8,实验测得的 ADC DNL 为 $\sim \pm 0.6$ bin(均值为 $\sim \pm 0.3$ bin), INL 为 $\sim \pm 1.5$ bin,此结果也同小系统测试中 FEE 插件电子学刻度模式下求得的微分/积分非线性相符。

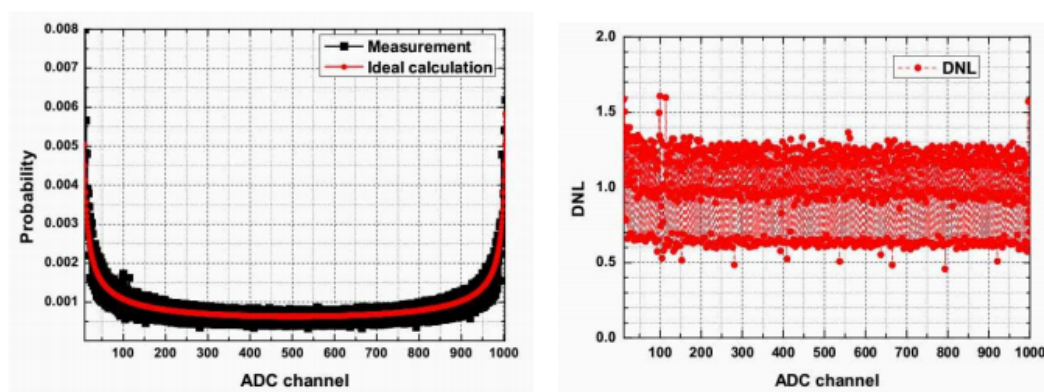


图 7-8 FEE 插件 ADC 输出谱(左)和每个通道 DNL 测量值(右)

7.2.2 模型探测器小系统测试

FEE 插件和 LTB 插件测试完成之后,进一步的就是小系统的模型实验联调,这也是前期各项测试工作的总结与验证。

- 数据格式与事例组装^[60]

模型实验包括一个模型本体探测器、一个 VME 机箱的数据,数据格式采用分级分段的事例组装形式;如图 7-9 左所示,数据格式采用了事例头与探测器头区分的方式,有效兼容与组织了不同探测器的数据需求;图 7-9 右为通用事例头或者探测器头的格式,为数据读取提供了很大的方便。

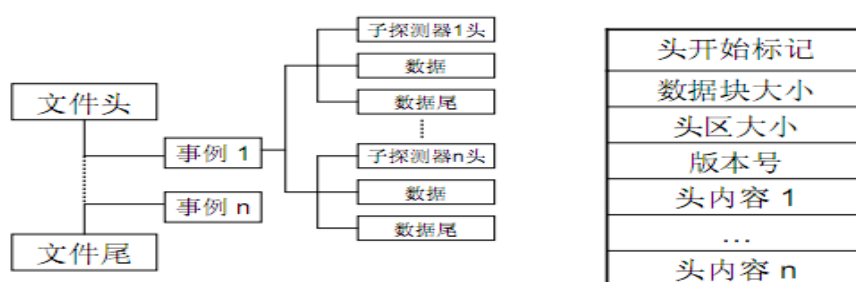


图 7-9 模型实验数据格式: 左为文件内数据格式, 右为数据头基本格式

模型实验数据读取涉及到一个 LTB 插件、三个 FEE 插件共 45 路 PMT 信号通道的时间、电荷信息,每次事例触发之后,LTB 插件完成触发事例数计数、触发时间计数并放入 LTB 缓存器,同时将触发信号传递到各 FEE 插件,由 FEE 完成光电倍增管击中时间计数、电荷寻峰,放入 FEE 的缓存区等待 DAQ 系统访问并读取数据。由于电子学各插件、DAQ 和物理事例本身的时间随机特性,可能导致触发信号部分丢失或者延迟、数据

延迟或者丢失，因此要将同一个物理事例的所有通道的全部数据顺利获取，防止事例组装错误是数据读取的关键环节。

优化后的模型实验的 DAQ 数据读取逻辑流程图如下图 7-10 所示，为了防止事例组装错误，所采取的主要措施包括：

- 数据读取之前检查各电子学插件的未读事例数，如未读事例数不一致则取消读取；
- 检查事例编号，如不一致则放弃后续未读事例并清空缓冲区重新开始触发；

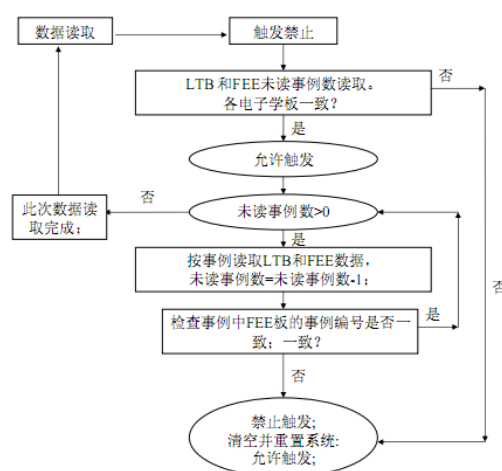


图 7-10 模型实验数据获取逻辑流程图

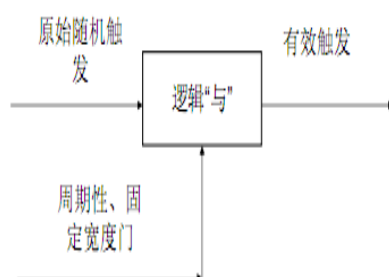


图 7-11 模型实验有效触发限制逻辑

最终测试数据显示，DAQ 的最大可承受触发事例率为 4kHz，远低于一般探测器天然放射性本底、放射能源全谱的触发率值，因此为了在较低能量阈值下测量能谱，我们最终采取了随机时间窗口随机选择部分触发作为电子学、DAQ 的有效触发方式，其框图如 7-11 所示。

- 小系统性能测试

在模型本体探测器中安装有 6 个固定位置的 LED，在模型实验中我们根据 LED 数据对 FEE 通道击中时间与 LTB trigger 时间进行测量。由信号发生器产生 710Hz 的周期信号驱动 LED 发光，通过 DAQ 读取数据，检测相邻 trigger 时间差，计算得到 LED 发光频率为 709.1Hz，测量结果与设置一致，分布宽度约为 100ns(图 7-12)，同时检测 FEE 插件各光电倍增管插件的相对击中时间如图 7-13 所示，其中包含了 LED 发光、光电倍增管的时间晃动。

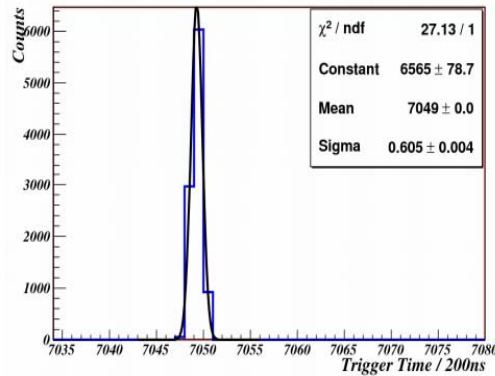


图 7-12 模型实验 LTB 触发时间精度测试

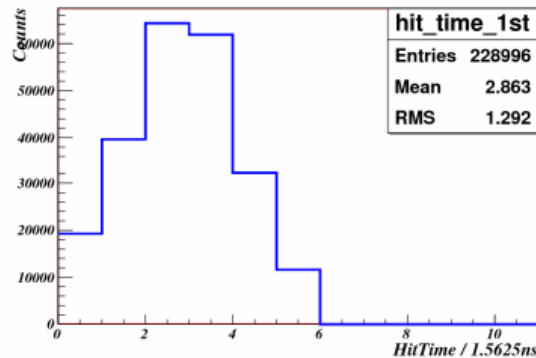


图 7-13 模型实验 FEE 通道击中时间测试结果

天然发生性本地事例测量是探测器调试的基本测量内容，如下图 7-14 左所示为天然放射性本底触发事例率随 LTB 插件触发阈值变化关系，基本随指数规律变化；图 7-14 右为以 ADC bin 为单位测量得到的天然放射性本底的能谱，随能量增大事例率急速降低，与预计的谱写相似呈现部分的峰结构。

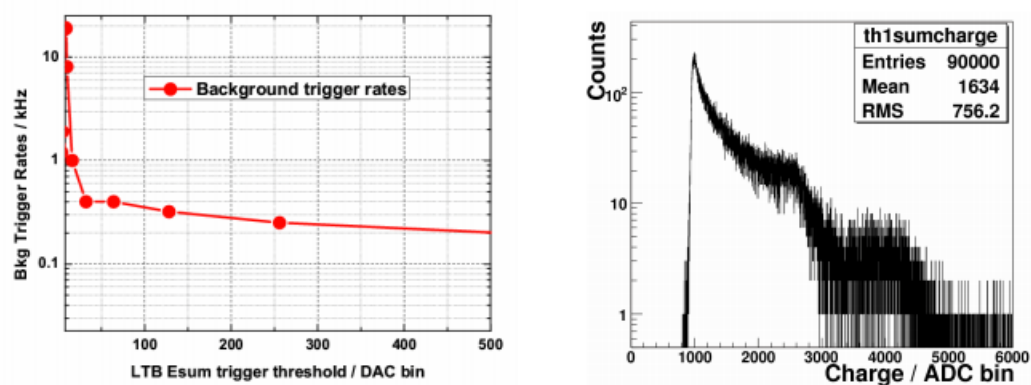


图 7-14 模型实验调试本底测量：左为本底事例率，右为本底能谱

7.2.3 模型探测器 PMT/放射源测试

• 光电倍增管刻度

粒子能量的重建精度都依赖于光电倍增管的刻度精度，而光电倍增管具有随环境和时间的不同其工作状态可能发生变化，因此光电倍增管工作状态的刻度和监测是探测器运行、物理分析工程中的重要内容之一；如图 7-15 所示为光电倍增管刻度谱修正后的拟合结果，作为对光电倍增管刻度的检验，我们对比测量同一光电倍增管在 Camac 和 VME 系统下增益随高压变化曲线(图 7-16)，可以看到前者对应与单光电子的 ADC 输出道数始终是后者的 6 倍左右，两者具有良好的一致性；最终模型实验 VME 系统光电倍增管的增益刻度达到 5%。

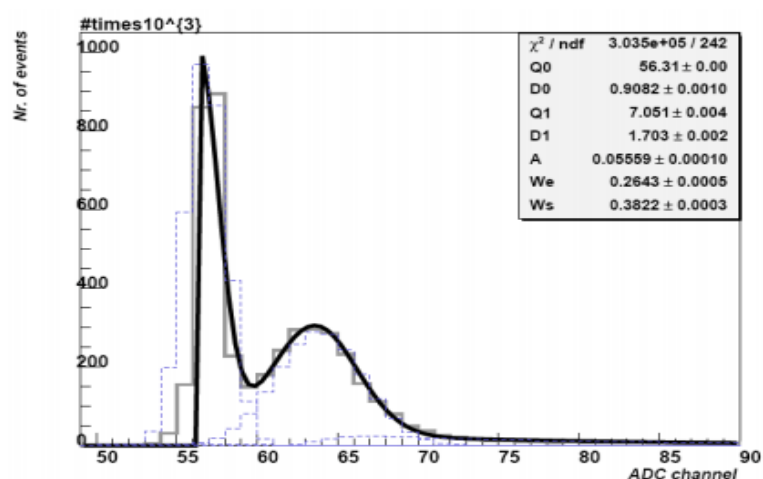


图 7-15 模型实验单光电子谱数据拟合

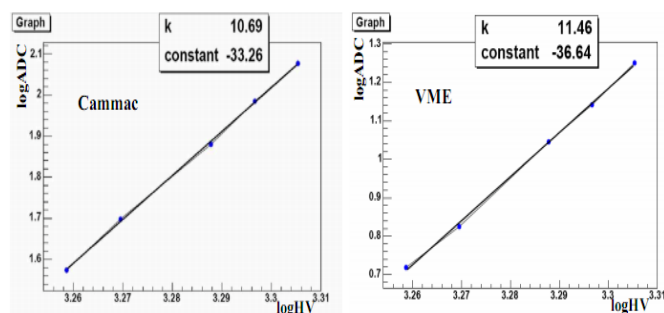


图 7-16 模型实验 VME(左)与 Camac(右)刻度对比

- 放射源标定

放射源标定是探测器能量响应、位置响应等各种参数测量的有效手段，在模型实验中我们通过测量模型探测器对不同放射源的响应来研究探测器性能、刻度方法；下图 7-17 是模型实验测量到的 ^{137}Cs 位于模型探测器中心时的能谱，能谱中清晰的出现 ^{137}Cs 的全能量沉积峰，以及部分 γ 能力逃逸后造成的能谱前冲，与理论分析一致，验证了模型探测器的正常工作状态。

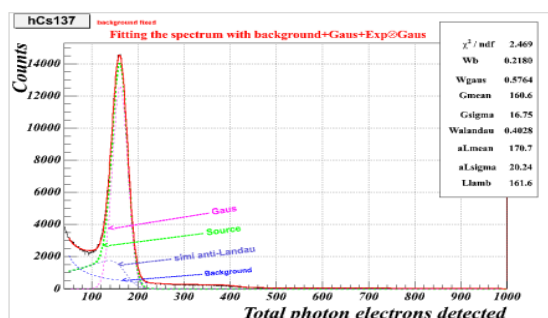
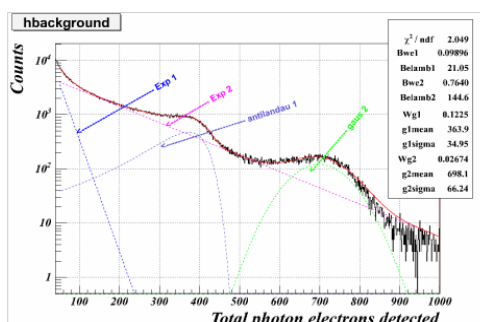
图 7-17 模型实验 ^{137}Cs 能量响应光电子谱

图 7-18 模型实验天然放射性本底谱(光电子)

结合光电倍增管刻度数据我们得到天然放射性本底的 p.e.谱如图 7-18 所示，本底谱

的两个峰位分别对应的能量约为 1.3MeV 和 2.4MeV，前者主要来自光电倍增管玻璃，后者主要来源于天然放射性衰变链，与分析结果一致。

7.3 模型探测器研究成果

中微子模型探测器实验提供了大型液体闪烁体探测器真实的响应数据,通过实验数据分析既可以研究探测器性能又能检验 PMT 读出电子学系统,模型实验的研究成果主要包括以下几个方面:

- (1) 模型探测器中心点能量响应测量: 结果如图 7-19 所示, 可以看到探测器能量响应具有良好的线性;

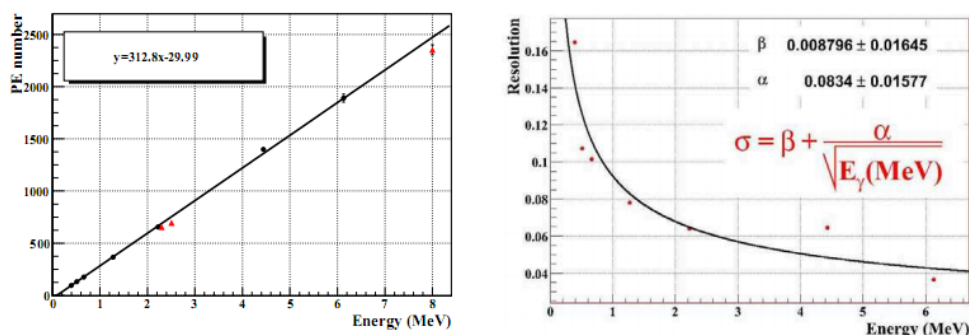


图 7-19 模型实验的探测器(中心)能量响应曲线(左)以及能量分辨率曲线(右)

- (2) 测量了模型探测器的各种光学参数: 液体闪烁体的衰减长度、衰减时间, 液体闪烁体的发射光谱、衰减长度谱、折射率等; 通过这些参数, 使得我们对模型探测器以及将来大亚湾探测器的特性有了深刻了解, 并有效帮助了蒙特卡洛模拟软件的开发;
- (3) 通过研究模型探测器对 γ 源的响应, 不同能量 γ 放射源的能量响应实验测量与模拟数据具有比较好的符合(图 7-20);

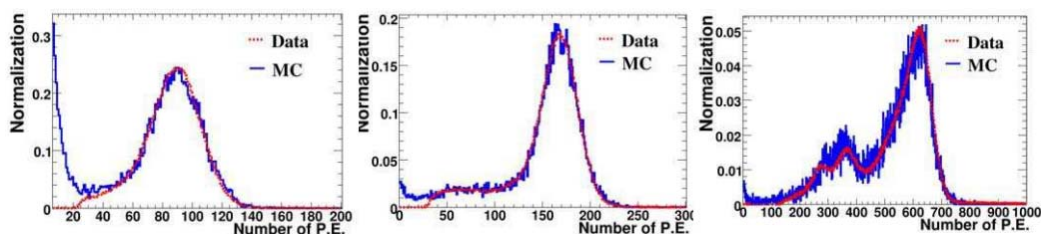


图 7-20 探测器中心点, γ 源与实验数据比较: 左为 ^{133}Ba , 中为 ^{137}Cs , 右为 ^{22}Na

- (4) 针对大亚湾的中子俘获信号, 通过 PuC 源作为刻度源对模型探测器的响应特性进行了研究, 结果显示模拟与数据基本符合, 图 7-21 为实验测量数据与模拟数

据分别计算得到的模型探测器中心点中子俘获事例在不同能量阈值下的探测效率曲线，其中左侧图蓝色为实验测量中子俘获谱扣除本底后计算得到的探测效率，红色为包含本底的探测效率，右侧图为模拟计算结果。

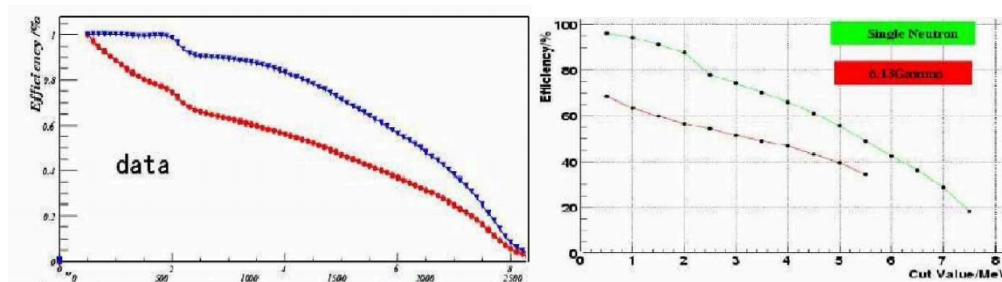


图 7-21 模型探测器中心点，中子探测效率测量(左)和模拟计算(右)对比图

- (5) 从图 7-22 可以看到，Gd、H 原子所占液体闪烁体总原子数的比例将导致中子俘获时间的变化，也就是我们可以通过监测中子的俘获时间来监测 Gd、H 原子比例的变化；

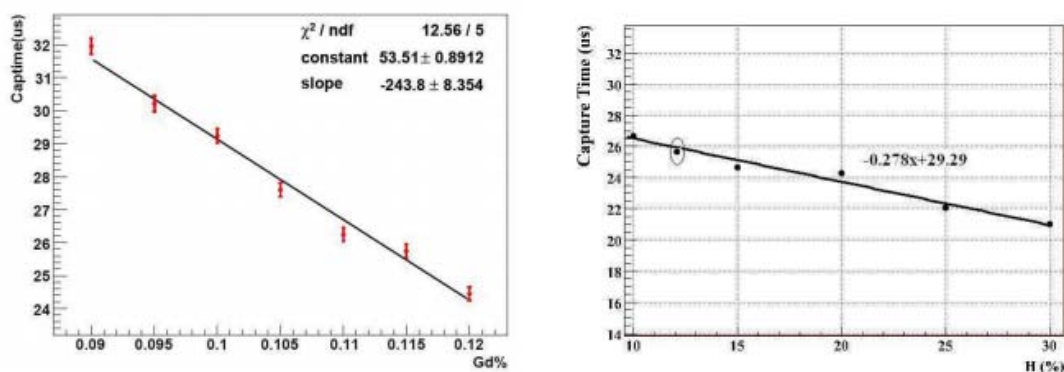


图 7-22 中子俘获时间常数与 Gd 原子(左)和 H 原子(右)的原子比例关系

首先考虑成形优化尺寸之间的失配程度相关。

7.4 本章小结

本章主要讨论了 PMT 读出电子学系统在高能所中微子模型探测器上的验证使用，通过 FEE 插件的测试、PMT 读出电子学系统的调试、小系统和探测器的联调，光电倍增管的刻度、天然放射性本底谱的测量，以及放射源数据的测量与分析，调试并验证了 PMT 读出电子学系统和模型探测器的正常工作状态和良好的能量响应，也为 PMT 读出电子学系统大亚湾实验现场应用和系统调试打下了坚实的基础。

第8章 PMT 读出电子学 DryRun 实验应用及研究

上一章介绍了 PMT 读出电子学在中微子探测器模型上的使用，调试并验证了 PMT 读出电子学和探测器模型的正常工作状态，因此可以应用于大亚湾现场，本章将介绍 PMT 读出电子学在 DryRun 实验中的应用及其研究。

8.1 大亚湾 DryRun 实验

8.1.1 AD MiniDryRun 实验

大亚湾 DryRun 实验按照时间可划分为前期 MiniDryRun 实验和后期各子探测器的 DryRun 实验，到 2010 年底已经进行了 AD MiniDryRun、AD#1DryRun 和 AD#2DryRun。为后期实验探索的 AD MiniDryRun 实验使用了组件未完全安装的中心探测器，其俯瞰图如 8-1 所示，实验使用了位于 ladder#7 的 24 个 PMT 和一个位于探测器底端的 Calibration PMT。

AD MiniDryRun 实验的 PMT 读出电子学系统位于地面装配大厅(surface assembly building, SAB)，包括 48 通道的高压机箱，48 通道的 PMT Decoupler 模块，以及含有系统控制器 PPC5500、LTB 插件、Fanout 插件和 3 块 FEE 插件的 VME 机箱，如图 8-2 所示。

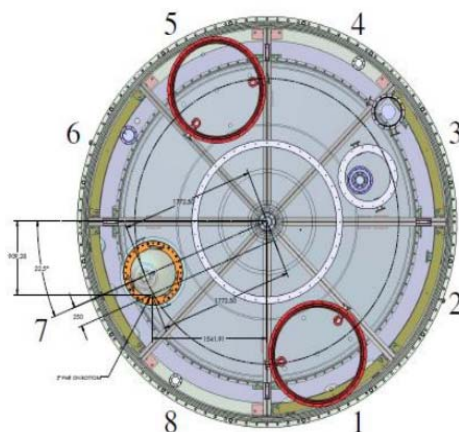


图 8-1 AD MiniDryRun 实验俯瞰图

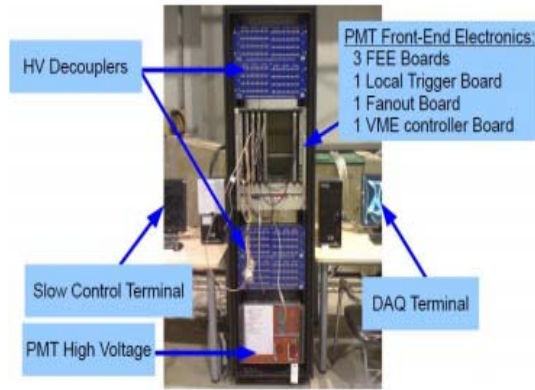


图 8-2 AD MiniDryRun 实验 PMT 读出电子学系统

实验中的 25 个 PMT 通过电缆连接到 FEE 插件的 25 个通道，其连接关系如下表所示；数据获取和慢控制系统的终端位于 SAB 大厅实验所产生的数据文件同时自动传往高能物理研究所与 LBNL(Lawrence Berkeley National Laboratory)。

表 8-1 AD MiniDryRun 实验中 PMT 与 FEE 插件的连接关系表

536937985	SABAD1-board06-connector01	0	Fee-6	536936723	SABAD1-ring01-column19	0	Pmt8inch-19
536937986	SABAD1-board06-connector02	0	Fee-6	536936979	SABAD1-ring02-column19	0	Pmt8inch-43
536937987	SABAD1-board06-connector03	0	Fee-6	536937235	SABAD1-ring03-column19	0	Pmt8inch-67
536937988	SABAD1-board06-connector04	0	Fee-6	536937491	SABAD1-ring04-column19	0	Pmt8inch-91
536937989	SABAD1-board06-connector05	0	Fee-6	536937747	SABAD1-ring05-column19	0	Pmt8inch-115
536937990	SABAD1-board06-connector06	0	Fee-6	536938003	SABAD1-ring06-column19	0	Pmt8inch-139
536937991	SABAD1-board06-connector07	0	Fee-6	536938259	SABAD1-ring07-column19	0	Pmt8inch-163
536937992	SABAD1-board06-connector08	0	Fee-6	536938515	SABAD1-ring08-column19	0	Pmt8inch-187
536937993	SABAD1-board06-connector09	0	Fee-6	536936724	SABAD1-ring02-column20	0	Pmt8inch-20
536937994	SABAD1-board06-connector10	0	Fee-6	536936980	SABAD1-ring03-column20	0	Pmt8inch-44
536937995	SABAD1-board06-connector11	0	Fee-6	536937236	SABAD1-ring04-column20	0	Pmt8inch-68
536937996	SABAD1-board06-connector12	0	Fee-6	536937492	SABAD1-ring05-column20	0	Pmt8inch-92
536937997	SABAD1-board06-connector13	0	Fee-6	536937748	SABAD1-ring06-column20	0	Pmt8inch-116
536937998	SABAD1-board06-connector14	0	Fee-6	536938004	SABAD1-ring07-column20	0	Pmt8inch-140
536937999	SABAD1-board06-connector15	0	Fee-6	536938260	SABAD1-ring08-column20	0	Pmt8inch-164
536938000	SABAD1-board06-connector16	0	Fee-6	536938516	SABAD1-ring09-column20	0	Pmt8inch-188
536938497	SABAD1-board08-connector01	0	Fee-8	536936725	SABAD1-ring01-column21	0	Pmt8inch-21
536938498	SABAD1-board08-connector02	0	Fee-8	536936981	SABAD1-ring02-column21	0	Pmt8inch-45
536938499	SABAD1-board08-connector03	0	Fee-8	536937237	SABAD1-ring03-column21	0	Pmt8inch-69
536938500	SABAD1-board08-connector04	0	Fee-8	536937493	SABAD1-ring04-column21	0	Pmt8inch-93
536938501	SABAD1-board08-connector05	0	Fee-8	536937749	SABAD1-ring05-column21	0	Pmt8inch-117
536938502	SABAD1-board08-connector06	0	Fee-8	536938005	SABAD1-ring06-column21	0	Pmt8inch-141
536938503	SABAD1-board08-connector07	0	Fee-8	536938261	SABAD1-ring07-column21	0	Pmt8inch-165
536938505	SABAD1-board08-connector09	0	Fee-8	536938517	SABAD1-ring08-column21	0	Pmt8inch-189
536938504	SABAD1-board08-connector08	0	Fee-8	536936449	SABAD1-ring00-column01	0	Pmt2inch-1

AD MiniDryRun 实验是包含 PMT、PMT 读出电子学系统、ACU LED、Offline 等相关子系统进行的一次较为完整的集成调试；实验中调试了各系统的工作状态及系统之间的通讯情况，并且利用 LED 对 AD 的性能进行了初步的研究，为后期实验准备。

8.1.2 AD DryRun 实验

在顺利完成 MiniDryRun 实验之后在大亚湾的现场先后进行了 AD#1DryRun 和 AD#2DryRun 实验，与 MiniDryRun 实验的不同之处在于 DryRun 实验使用的是基本完全安装的中心探测器(不含液闪)，包括 8 个 ladder 的 192 个 PMT、6 个 Calibration PMT 以

及相应增加的 PMT 高压模块、PMT 输出信号分离模块(Decoupler Box)和 PMT 读出电子学插件,同时触发的时钟系统(CCG)首次应用在 DryRun 实验中,数据读出(DAQ)和慢控制系统(Slow Control)也随之调整(图 8-3)。

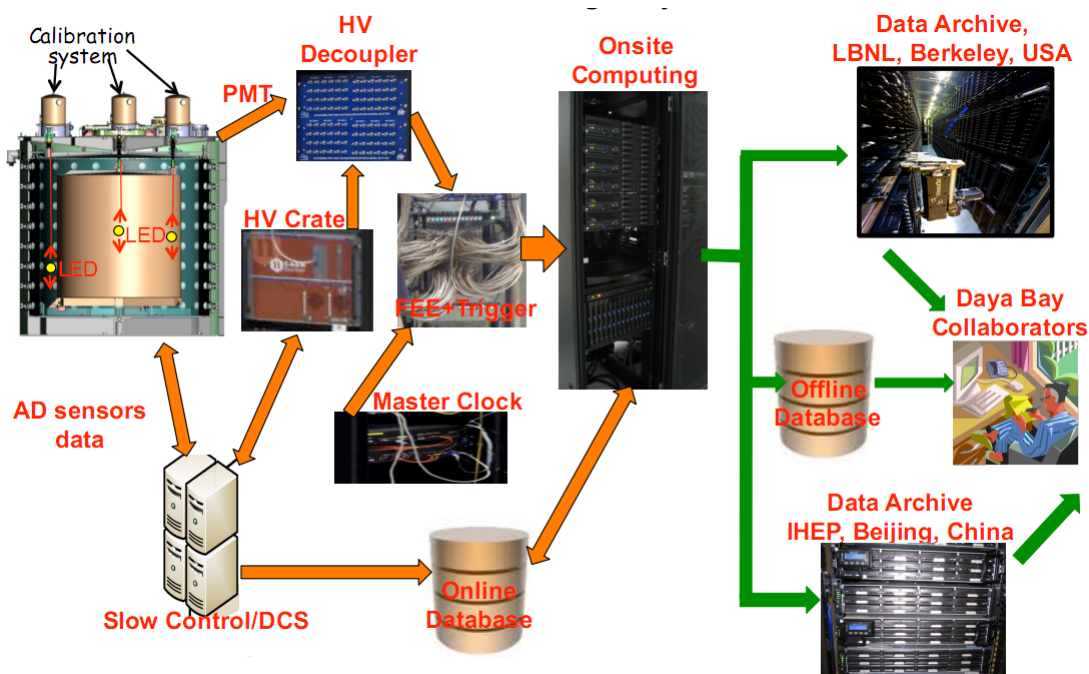


图 8-3 AD DryRun 实验流程示意图

8.2 Dryrun 实验 PMT 读出电子学系统应用

DryRun 实验对 PMT 读出电子学系统又一次进行了验证,同时也提供了对探测器的调试和性能研究。

8.2.1 PMT 读出电子学

经过模型探测器验证的 PMT 读出电子学系统,在 DryRun 实验中的应用被证明是成功的,其工作状态如下图 8-4 所示,从图中我们可以看到 LED 模式下 FEE 和 LTB 插件都工作正常;同时后期的数据分析表明 FEE 的电荷测量和时间测量达到设计要求(图 8-5),

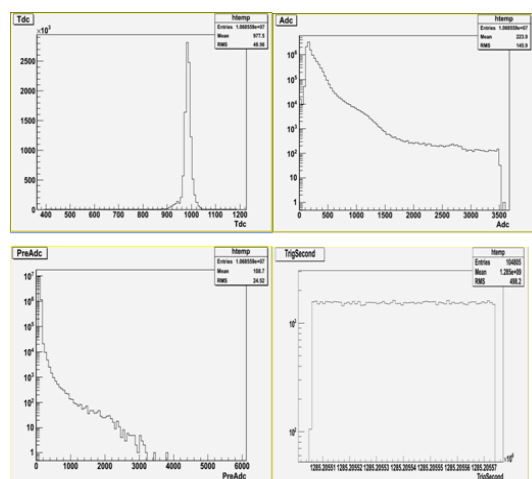


图 8-4 DryRun 实验读出电子学工作状态

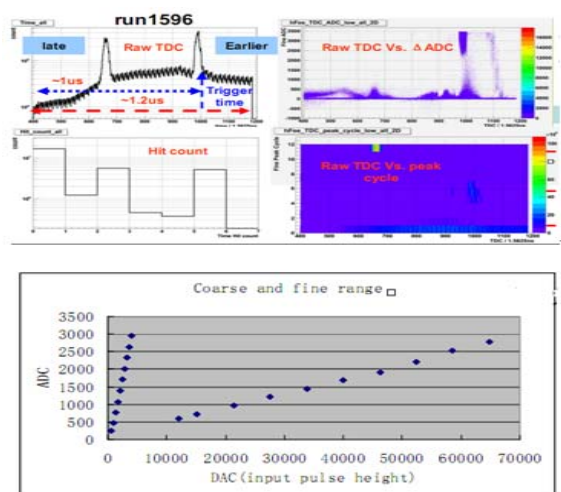


图 8-5 DryRun 实验 FEE 的性能分析

8.2.2 光电倍增管

光电倍增管(PMT)是探测器系统的重要一环，其性能优劣性直接影响着探测器的性能；在 DryRun 实验中，全部的 192 个光电倍增管设置的工作增益为 2×10^7 ，其单光电子刻度常数如图 8-6 所示，从图中我们可以看到每个 PMT 通道都处于工作状态，其工作增益也基本相同。

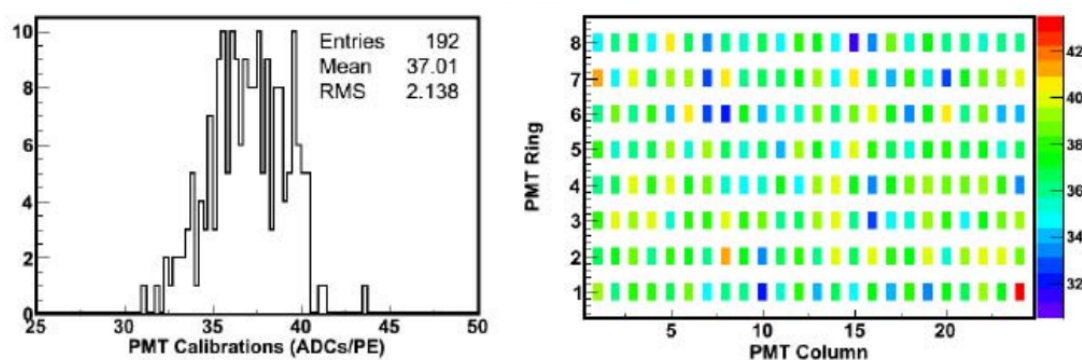


图 8-6 DryRun 实验 PMT 增益图

8.2.3 中心探测器

检验中心探测器的性能是 AD DryRun 实验的目的所在，如下图左为中心探测器的动态范围，而从图右为 Z 方向上中心探测器的一致性检查结果，基本能同前期的蒙特卡洛结果相吻合。

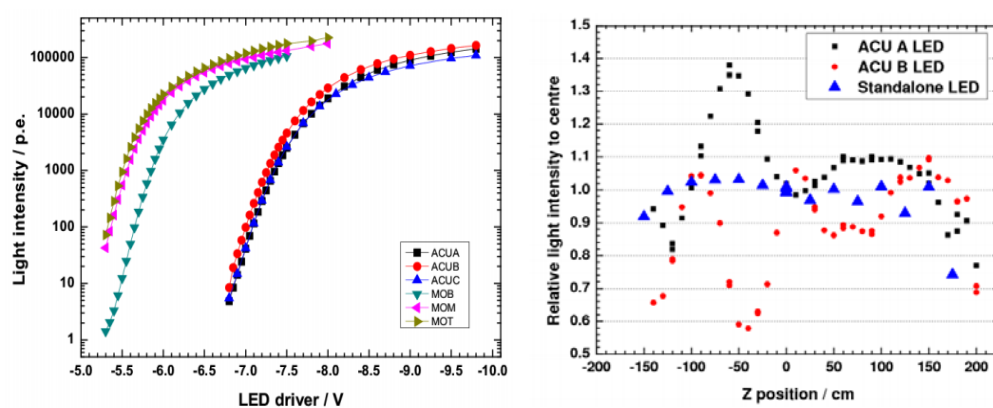


图 8-7 DryRun 实验中心探测器实验结果组图

8.2.4 小结

初步的实验结果证明了 PMT 读出电子学系统在 DryRun 实验的成功应用，也体现了探测器的良好性能，接下来将对 DryRun 实验做进一步的研究。

8.3 DryRun 实验 FEE 读出窗口研究

DryRun 实验中配置的 FEE 读出窗口长度对物理事例的影响，以及 FEE 读出窗口设计的特点在物理事例分析上的应用，是本小节的主要内容。

8.3.1 FEE 读出窗口

物理事例信号到达 FEE 之后，FEE 进行过阈判断，然后将过阈信号送给触发系统，触发系统再给出触发信号，FEE 进行寻峰、数据缓存，物理事例数据准备完毕后，FEE 按照设定的 1200ns 的读出窗口长度从缓存数据中读取数据，如下图所示：

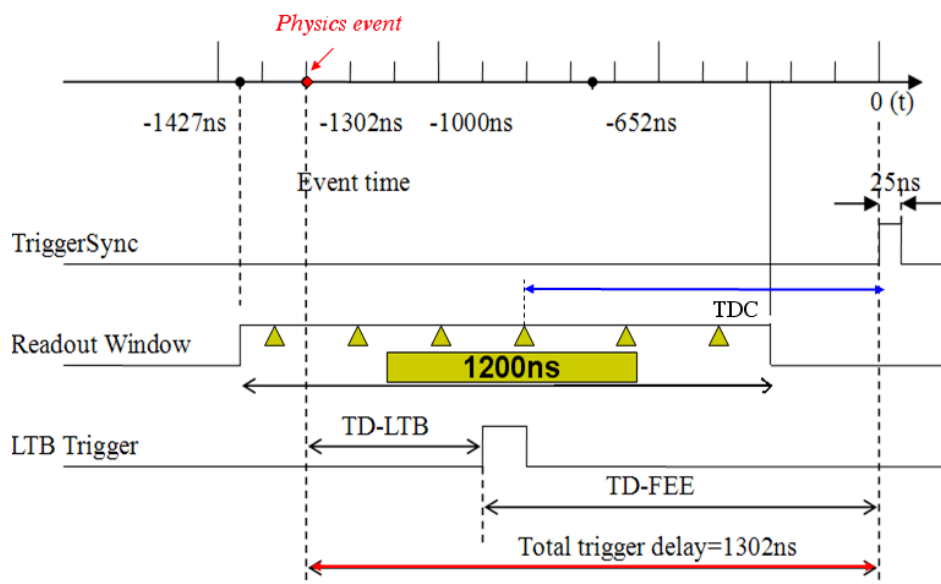


图 8-8 FEE 读出窗口示意图

FEE 读出窗口是否造成数据丢失和死时间是判断 FEE 读出窗口长度优劣的一个重要标志。对物理分析而言，FEE 读出窗口长度越大对物理分析越有利，但同时也使得电子学系统的负担变大，相应的也会增加后期数据分析的复杂度；FEE 内部的 FPGA 资源的有限，不可能提供任意长度的读出窗口，因此研究当前配置下的 FEE 读出窗口长度，其意义显得尤为重要。

8.3.2 FEE 读出窗口配置对物理事例的影响

中微子事例的快慢信号存在一个时间分布，Muon 的后续事例也有一个时间分布，因此对于一定长度的 FEE 读出窗口，研究两个事例落在同一个读出窗口的比例是本小节的主要内容，也是判断 FEE 读出窗口长度优劣的依据之一；同样的对于放射性事例的随机符合，其随机分布也跟 FEE 读出窗口长度有着关联。

8.3.2.1 中微子事例(IBD 事例)

中微子事例的快慢信号产生于中心探测器内发生的反 β 衰变，快信号来源于末态正

电子的电离和湮灭释放出的两个 γ 光子，慢信号来源于中子俘获放出的 γ 光子。研究当前配置下两个事例落在同一读出窗口的比例，对于快慢信号中微子事例意义重大。

如图 8-9 左所示为模拟的 IBD 总事例图，IBD 总的事例数为 53705，图 8-9 中为落在 1.2us 读出窗口内的 IBD 事例图，其 IBD 事例数为 176，占总事例数的比率为 0.327%，相对比也模拟了 1us 读出窗口内的 IBD 事例图如 5.2.2.3 所示，1us 读出窗口内的 IBD 事例数为 122，其占总事例数的比率为 0.227%。

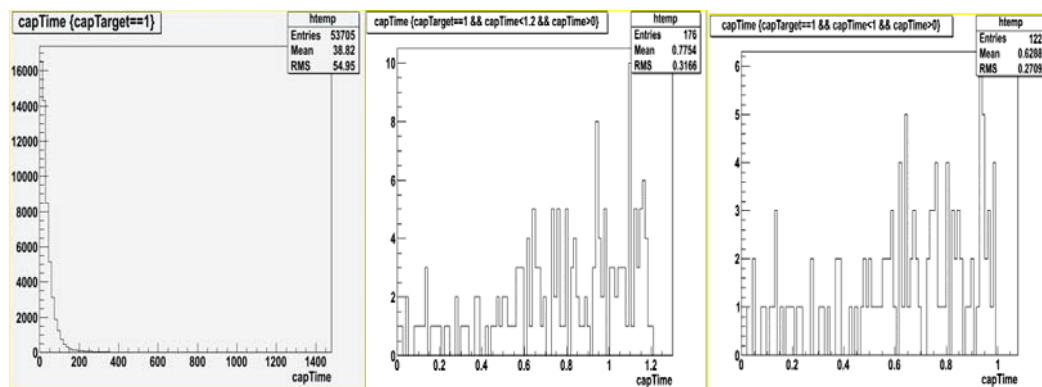


图 8-9 IBD 总事例数(左)/1.2us 时间窗内事例数(中)/1us 时间窗内事例数(右)

计算可得，落在 1us-1.2us 读出窗口内的 IBD 事例数为 54，其所占 IBD 总事例的比率为 0.1%；也就是意味着 FEE 的时间窗长度 1.0us 或者 1.2us，对 IBD 事例影响不大；而从物理分析有利的角度来说，更倾向于时间长度较长的 1.2us 的读出窗口。

8.3.2.2 Muon 事例^[61]

如 8-10 所示为模拟的 Muon 总事例图，Muon 总的事例数为 527676，和 IBD 事例相仿，同样也模拟了在 1.2us 读出窗口内产生子事例的 Muon 事例数如图 8-11 所示，Muon 在 1.2us 内产生子事例的事例数总和为 18126，在 1us 产生子事例的事例数总和为 17466，分别占 Muon 总事例率为 3.435%和 3.310%；

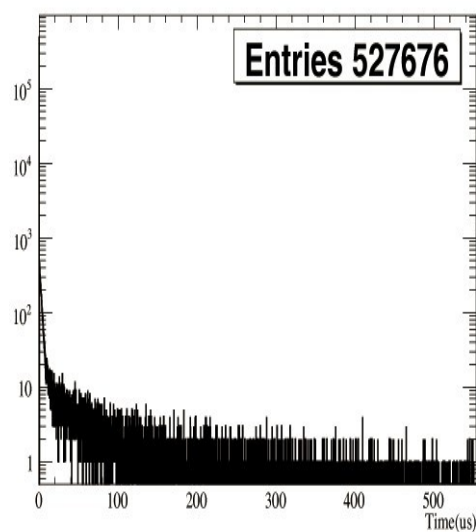


图 8-10 Muon 总事例数

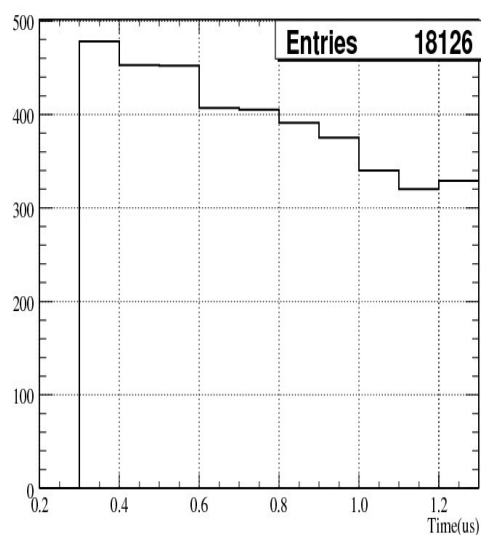


图 8-11 1us-1.2us 读出窗口内 Muon 事例数

计算可得，1us-1.2us 读出窗口内的产生事例的 Muon 事例数为 660，其占 1.2us 内产生事例的 Muon 事例数的比率为 3.64%，占 Muon 总事例数的比率为 0.125%；因此相对于 FEE 的读出时间窗长度来说，选取 1.2us 的时间窗长度，对 Muon 事例影响不大，也更利于物理分析。

8.3.2.3 放射性事例

IBD 事例、Muon 事例和放射性事例的随机符合计算公式如下：

$$A_1 * A_2 * T * 2$$

其中 A_1 和 A_2 分别为随机符合事例的事例率, T 为时间窗长度

(1) IBD 事例和放射性事例的随机符合

IBD 事例每天产生大概为 800 个, 因此其事例率为 800/86400 (个/秒), 放射性事例的事例率为 50Hz, 时间窗长度为 1.2×10^{-6} s, 因此有如下计算可得 IBD 事例和放射性事例的随机符合计数率:

$$(800/86400) * 50 * 1.2 * 10^{-6} * 2 = 1.11 * 10^{-6}$$

24 小时放射性事例和 IBD 事例随机符合事例总数和 IBD 事例数(约 800 个)的比值为:

$$[(800/86400) * 50 * 1.2 * 10^{-6} * 2] * 86400 / 800 = 1.2 * 10^{-4}$$

(2) Muon 事例和放射性事例的随机符合

Muon 事例的事例率约为 30Hz, 放射性事例的事例率为 50Hz, 在时间窗长度为 1.2×10^{-6} s 的情况下, Muon 事例和放射性事例的随机符合计数率为:

$$30 * 50 * 1.2 * 10^{-6} * 2 = 3.6 * 10^{-3}$$

有上述计算可知, 在 1.2us 的时间窗长度上, 放射性事例和 IBD 事例及 Muon 事例的随机符合计数率都较低, 也就意味着选取 1.2us 的时间窗长度, 对随机符合计数率影响不大。

8.3.2.4 FEE 读出窗口抖动对物理事例的影响

FEE 内部主要采用了 40mHz 的时钟, 因此对于 1.2us 的读出窗口来说, 理论上存在着一个时钟周期 25ns 的晃动, 也就是说对于 1.2us 的读出窗口, 可能的会使得这个读出窗口的长度会变为 1.175us 或者 1.225us, 本小节就读出窗口的抖动对物理事例的影响来展开分析。

FEE 读出窗口抖动所可能带来对物理事例的影响如图 8-12 模拟所示, 在有可能的晃动区间 1.175us 到 1.225us 内, IBD 事例数为 13, 前图 8-9 所模拟的 IBD 总事例图相比, 其所占 IBD 总事例数的比例为 0.024%, 对于物理事例来说影响极小。

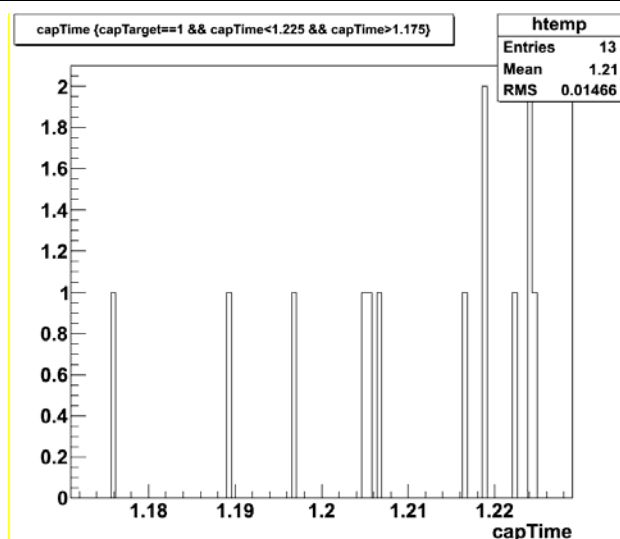


图 8-12 1.175us~1.225us 时间窗内 IBD 事例数

8.3.2.5 小结

通过对 IBD 事例、Muon 事例和放射性事例随机符合计数率的计算，可以得出这样的结论，对于 FEE 的读出时间窗长度来说，选取 1.2us 的时间窗长度，对各事例的影响不大。

8.3.3 FEE 1.2us 读出窗口的应用

长度为 1.2us 的 FEE 读出窗口，将读出窗口的起点设置在真实物理事例的 200ns 之前(如图 8-8 所示)，这将把真实物理事例到达之前的基线等囊括在内；真实物理事例之后的 1000ns，不紧将物理事例包含在内，也会涵盖物理事例后端的 Ringing 和 After pulse。

8.3.3.1 FEE 读出窗口前端

如图 8-8 所示，我们可以看到读出窗口的起点设置在位于真实物理事例之前的 200ns，使得物理事例信号前端的基线噪声都会被包含在内，这极大的便利了利用 PreAdc 分析物理信号前端的噪声和基线。

对于单 Hit 的通道和事例，如图 8-13 所示，在 TDC 时间谱上，选择在 Hit>1050 来分析暗噪声的大小；平均暗噪声随时间的变化我们可以在图 8-14 中看到；

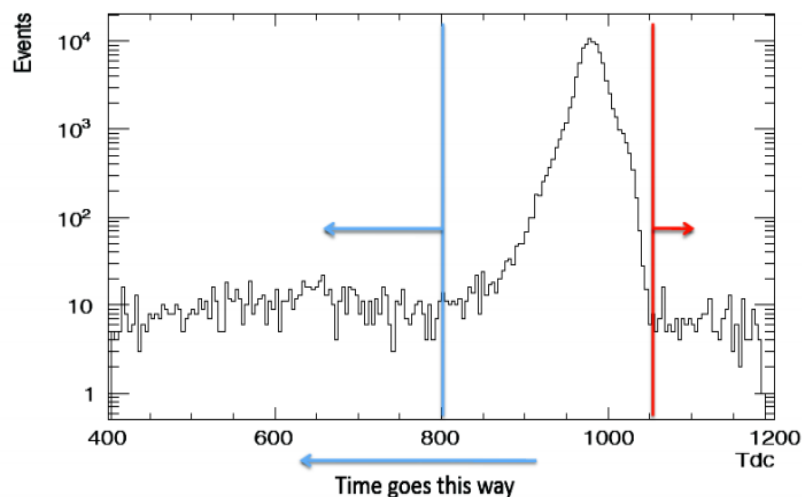


图 8-13 单 Hit 的 TDC 分布图

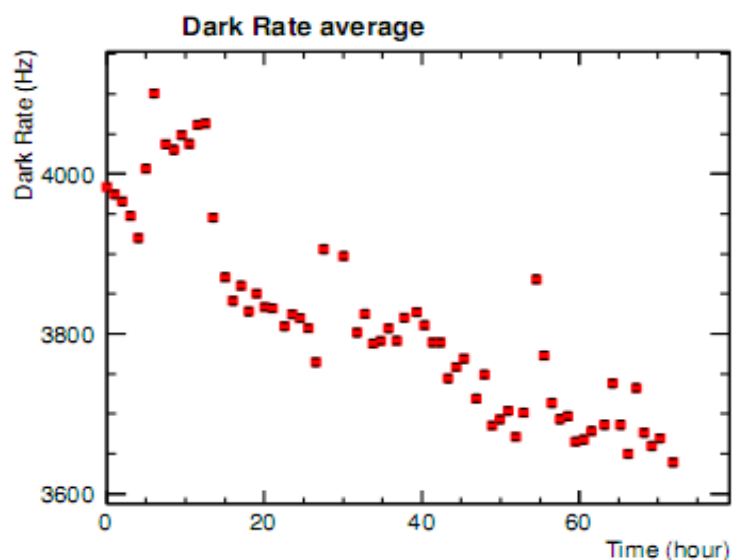


图 8-14 平均暗噪声随时间的变化

对于多 Hit 的通道和事例(图 8-15), 存在这样的事例情况, 即相邻两个 Hit 相距很近, 这样前一个 Hit 信号的尾端会和后一个 Hit 信号的前端部分重叠, 会影响后一个 Hit 信号的 PreAdc 和 ADC; 分析来看, 后一个 Hit 信号在多 Hit 事例中是属于随机分布的, 可能出现在前一个 Hit 信号后端 TDC 谱上的任意时间, 因此可以用多 Hit 事例中后一个 Hit 信号的 PreAdc 值来大致的描述 Hit 信号的波形, 如图 8-16 我们可以看到 PreAdc 值描述的大致的 Hit 信号成形之后的波形, 这也给我们认识光电倍增管的真实信号提供了一种路径。

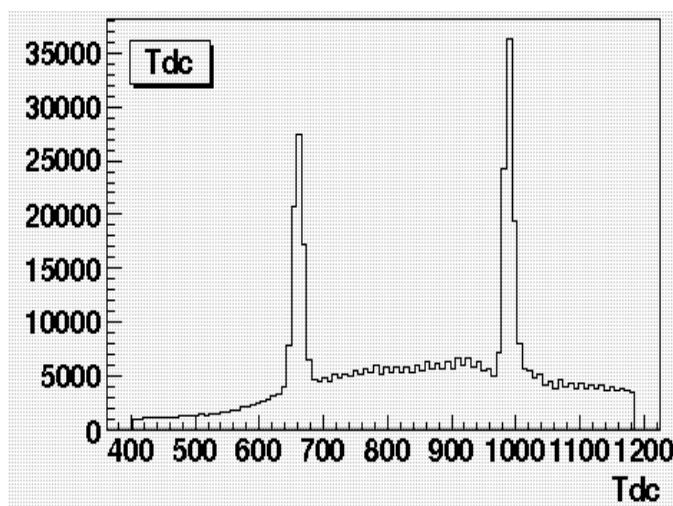


图 8-15 双 Hit 为例的多 Hit-TDC 分布图

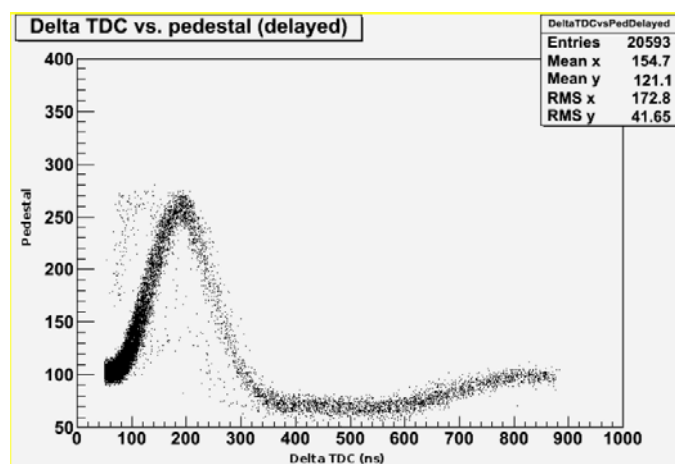


图 8-16 多 Hit 事例后 Hit 的 PreAdc 图

8.3.3.2 FEE 读出窗口后端

图 8-8 中全长 1200ns 的 FEE 读出窗口，既包含真实物理事例之前的 200ns，也包含物理事例之后的 1000ns，这样不仅将物理事例包含在内，也会涵盖物理事例后端的 Ringing 和 Afterpulse。

Afterpulse 和 Ringing 作为光电倍增管信号的一部分，研究主信号之后的 Ringing 和 Afterpulse 有利于了解光电倍增管信号的完整性，防止主信号之后的误触发等过程。

如下图 8-17 我们可以看到，如果采用 External trigger 模式进行触发，两个 External trigger 的时间间隔可调，那么可以保证第一个触发将会获取 LED 产生光电倍增管主信号的数据，第二个触发将保存主信号之后的 Afterpulse 和 Ringing 数据；在实验中将触发间隔 τ 以 1us 的增幅从 1us 增加到 10us，可以看到在 TDC 时间谱上(图 8-18)，LED 主信号

位于 830 到 900 道之间，在其左侧是需要研究的 Afterpulse 和 Ringing 信号。

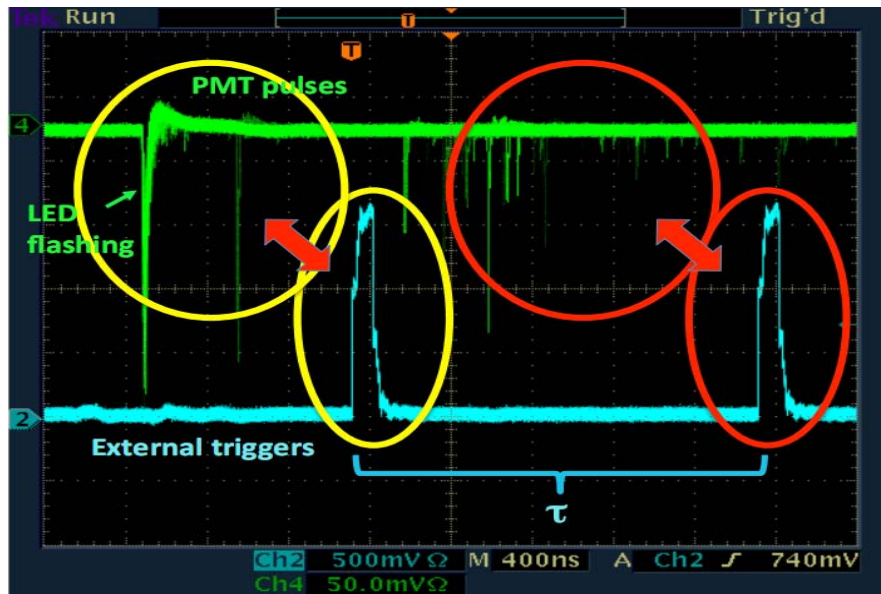


图 8-17 External trigger 获取 A&R 数据示意图

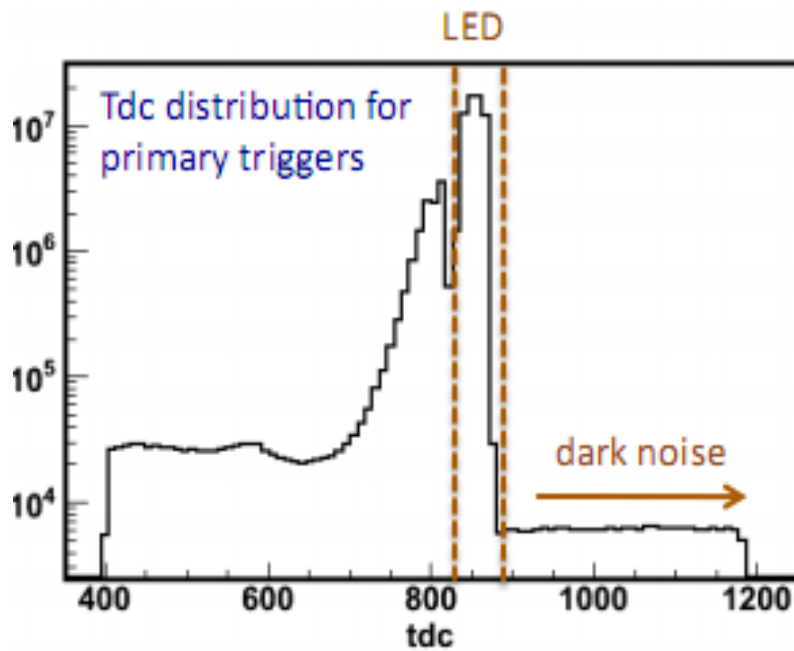


图 8-18 TDC 信号分布示意图

Afterpulse 和 Ringing 信号的电荷量和 LED 主信号的电荷量的对比如图 8-19 所示，同时在图 8-20 我们可以看到，在主信号后前 3 μ s 内的 A&R 的能量沉积比后面时间内的能量沉积要大。

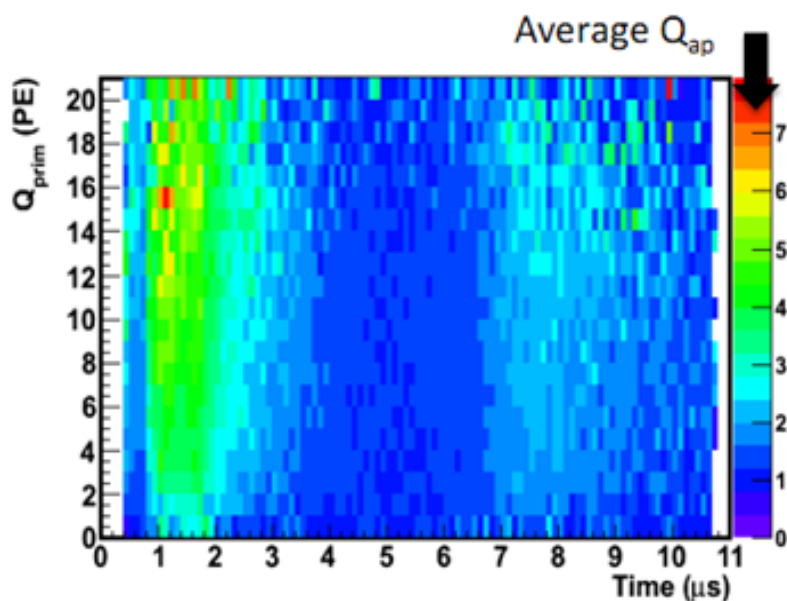
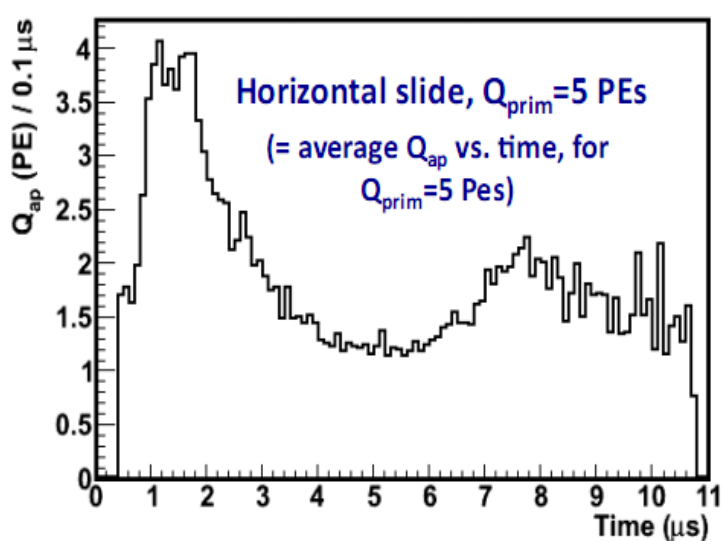


图 8-19 A&R 同 LED 电荷量对比图

图 8-20 A&R 不同 τ 下电荷量分部图

8.3.4 小结

在本小节中，从 FEE 读出窗口的介绍出发，研究了 FEE 读出窗口对于物理事例的影响，同时又分析了读出窗口在物理分析中的应用，体现了 FEE 读出窗口的意义；作为 FEE 读出窗口研究的一个结论，建议在 AD Dry-run 中采用 1.2 μ s 的 FEE 读出窗口长度。

8.4 DryRun 实验 FADC 分析^[62]

作为大亚湾实验实时数据采集和控制模块，FADC 插件是对 FEE 插件输出的 16 路求和信号和 LTB 插件输出的总能量求和信号进行快速采样，并将获取的波形信息送上位机进行波形重建及数据处理以进行互相校核；小系统调试校验结果已经在图 6-20 中展示。

8.4.1 FADC 数据检查

FADC 的数据质量是 PMT 读出电子学系统中的一环，其对后期可能的物理需求如粒子鉴别、水池衰减长度等也有着重要的意义，因此 FADC 数据检查是一个必要环节。

下图所示是 DryRun 实验 FADC 某通道前 N 个物理事例的组图，左上的单事例可以清晰看到 120 个采样点的数据，同样的多事例采样数据也显示了 FADC 的正常工作状态。

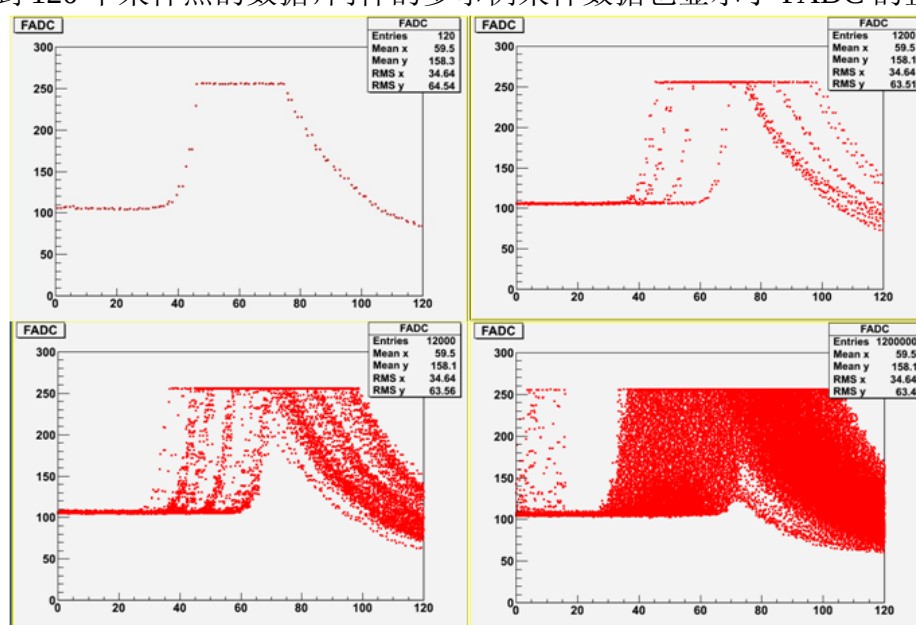


图 8-21 FADC 某通道前 N 个物理事例的组图

8.4.2 FADC 动态范围

FADC 插件使用了 8 位的 ADC 其动态范围为 0~255，而从下图可以看到，不论大小信号其基线都在 110 附近，这样对于 ADC 而言就损失了大概一半的动态范围，因此在实验后期对 FEE 插件和 FADC 插件进行了基线调整。

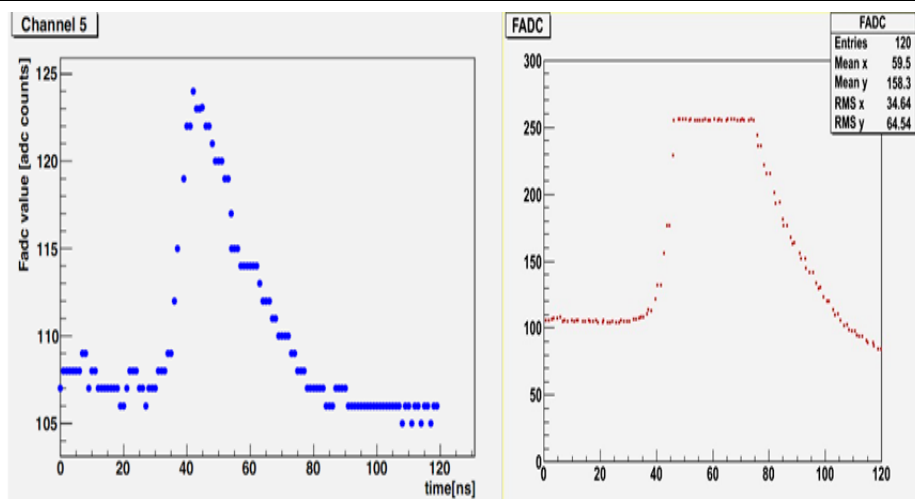


图 8-22 FADC 通道基线图

8.5 基于 DryRun 实验的触发效率研究^[63]

8.5.1 研究的意义

大亚湾中微子实验以测量 θ_{13} 为目的, 实验中探测的中微子事例数同触发效率密切相关, 因此触发效率直接影响着 θ_{13} 的测量结果。实验中触发效率是指被实际触发所选中的物理事例同理论上应该被触发选中的物理事例的比值 ($\varepsilon = N_{\text{fired}} / N_{\text{all}}$), 这也同探测器的探测效率密切相关。

8.5.2 实验方法

在 DryRun 实验中, 触发效率的研究是针对 LED 事例进行的, 数据获取过程如下: 驱动位于 AD 探测器中的 LED 发光, AD 探测器内的 PMT 接收到相应的光信号并放大之后, 将信号输出给对应的 PMT 前段读出电子学插件(FEE), FEE 将相应的电荷信息 Esum 以及 PMT 的击中数信息(Npmt)送给 LTB 插件后, LTB 插件根据触发类型与触发阈值的设置给出相应的触发判选, 最终符合条件的有效触发将驱动数据读出, DAQ 会将获取的事例进行存盘。

由上述实验过程取得的数据便可以用来研究 LED 事例的触发效率, 这里首先假设 LED 在工作时间内每次都做到有效发光(实际上实验中 LED 不能达到百分百的发光率), 因此 LED 的发光次数为发光频率和取数时间的乘积; 为了精确 LED 的发光次数, 要求从数据文件中尽可能的排除本底事例的干扰, 来提取真实的 LED 事例数目。

8.5.3 触发效率的计算方法

由于在每个 run 中其 LED 发光周期 T (频率为 400Hz) 已知, 因此可以依据 LED 事例的时间间隔来求触发效率, 其计算步骤如下:

1. 把 run 中第一个事例的时间标记为 t_{1st} , 往后的事例 t_n 均同第一个事例 t_{1st} 作差, 差值再同 LED 发光周期 T 作商并取其整数 t' (其中 $0 < t' < T$), 如下所示

$$\frac{t_n - t_{1st}}{T} \rightarrow t' (0 < t' < T)$$

2. 假设第一个真实的 LED 事例到达时间为 t_0 ($0 < t_0 < T$), 则其他 LED 事例到达的时间可以表示为 $t_0 + nT$ ($n \geq 1$), 按照第一步的计算方法, 所有的 LED 事例在 $0-T$ 的时间窗内都将出现在 t_0 时刻点, 也就是在 t_0 出现峰值, 如下所示

$$\frac{t_0 + nT}{T} \rightarrow \frac{t_0}{T} + n \rightarrow \frac{t_0}{T} \rightarrow t_0 (0 < t_0 < T)$$

3. 对于其他本地事例所造成的触发其中 $0-T$ 的时间窗内将有一个较为均匀的分布

在上述的计算方法下得到的结果如图 8-23 所示, 这同预计的 LED 事例在 $0-T$ 时间窗内的分布差别巨大, 可以看到 t_0 在 $0-T$ 的时间窗内几乎成为了均匀分布。

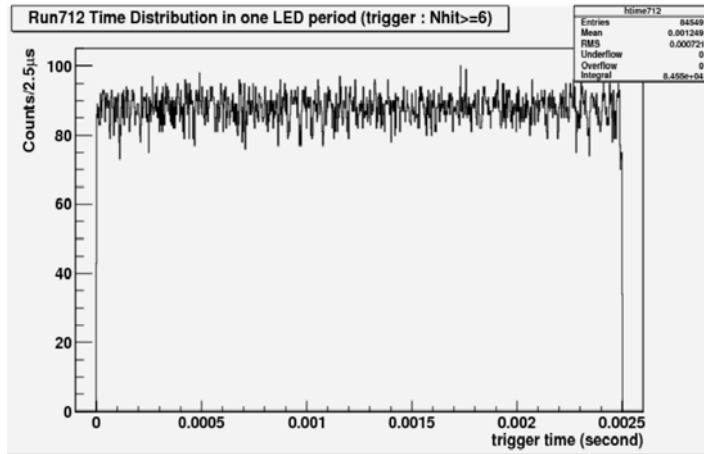


图 8-23 LED 事例在 $0-T$ 时间窗内的分布图

参考上图和 LED 的性能手册, 我们假设 LED 的发光频率并不是精确的 400Hz, 而是存在着一个 ΔT 的晃动时间, 步骤 2 的计算公式也相应修改如下

$$\frac{t_0 + n(T + \Delta T)}{T} \rightarrow \frac{t_0}{T} + \frac{n\Delta T}{T} \rightarrow t_0 + n\Delta T (0 < t_0 < T)$$

分析公式可以看到，因为晃动时间 ΔT 的存在，使得 t_{1st} 之后 $(t_0 + n\Delta T) < T$ 的 LED 事例在时间窗内的位置从 $t_0 - T$ 推移，同时也使得 $(t_0 + n\Delta T) > T$ 的 LED 事例在超越 T 之后从 $0 - t_0$ 推移，这样就使得 LED 事例分布从原先的尖峰变成了均匀分布。

仔细分析公式可以发现，对于一个 run 中的 LED 事例，如果取其第一个事例之后较短时间 t 内(比如 1s 中)的 LED 事例作图，使其满足 $0 < (t_0 + N\Delta T) < T$ ，那么在图中就可以看到 LED 事例呈现 Δt 的展宽，此展宽 Δt 是 t 时间内所有 N 个 LED 事例的晃动时间 ΔT 所形成的，其实验结果如下所示。

如图 8-24 左所示为 run708 前 6 秒内每秒(1st, 2nd...)的 LED 事例在 $0 - T$ 时间窗内呈现的 Δt 展宽图，右图为所有 6 秒内 LED 事例在时间窗上呈现的总展宽。

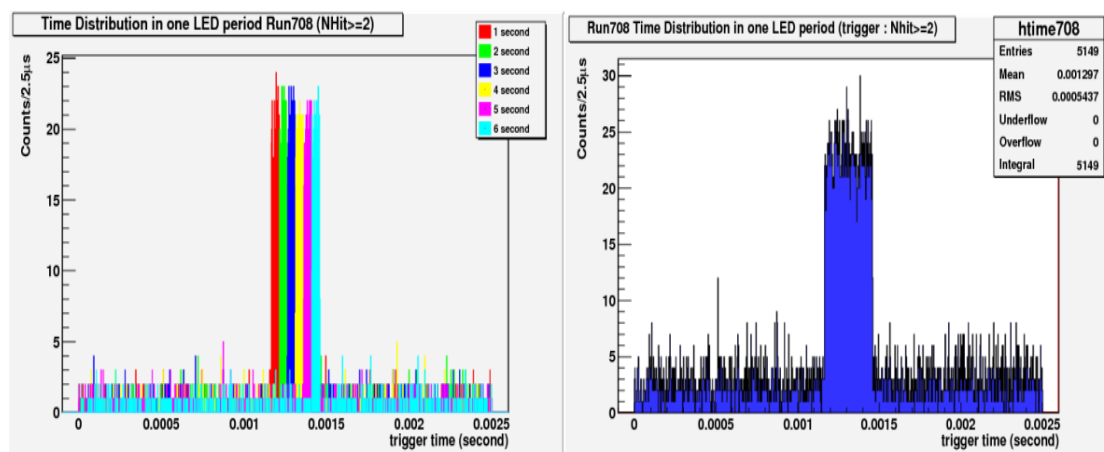


图 8-24 run708 前 6 秒每秒 LED 事例的 Δt 展宽图(左)和前 6 秒 LED 事例的 Δt 总展宽图

作为对比如图 8-25 所示为 run708 第 1、10、20、30、40、50 秒的 LED 事例在 $0 - T$ 时间窗内呈现的 Δt 展宽图，其同 8-24 左的结果相符合。

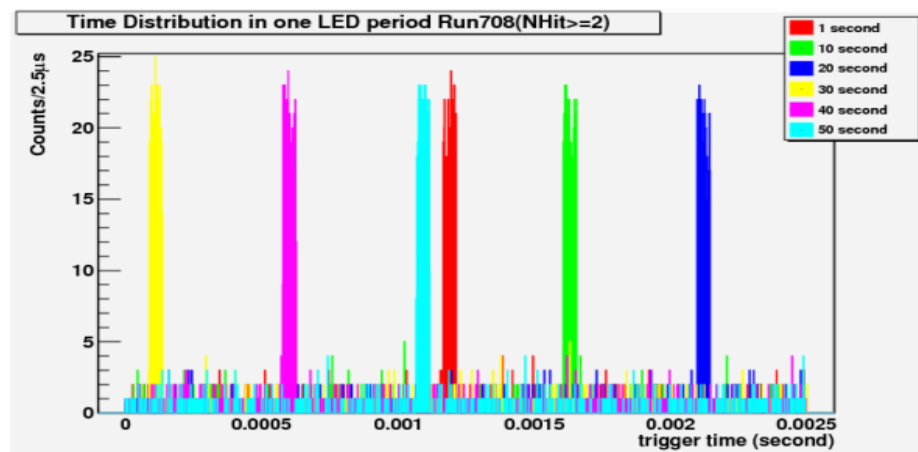


图 8-25 run708 第 1、10、20、30、40、50 秒 LED 事例的 Δt 展宽图

• Δt 的计算

按照上述分析和实验可以得出这样的结论，通过较短时间 t 内的 LED 事例的 Δt 展宽图可以求得 LED 的晃动时间 ΔT ，其计算公式和 LED 的发光周期 T' 分别如下

$$\Delta T = \frac{\Delta t}{N} (0 < \Delta t < T), T' = T + \Delta T$$

经过多次计算求得 LED 的晃动时间 ΔT 约为 1.31451×10^{-7} s, ΔT 修正前后 run708 第 1 秒内 LED 事例在 0-T 时间窗的对比图如 8-26 所示, ΔT 修正后得到的触发效率曲线如 8-27 所示。

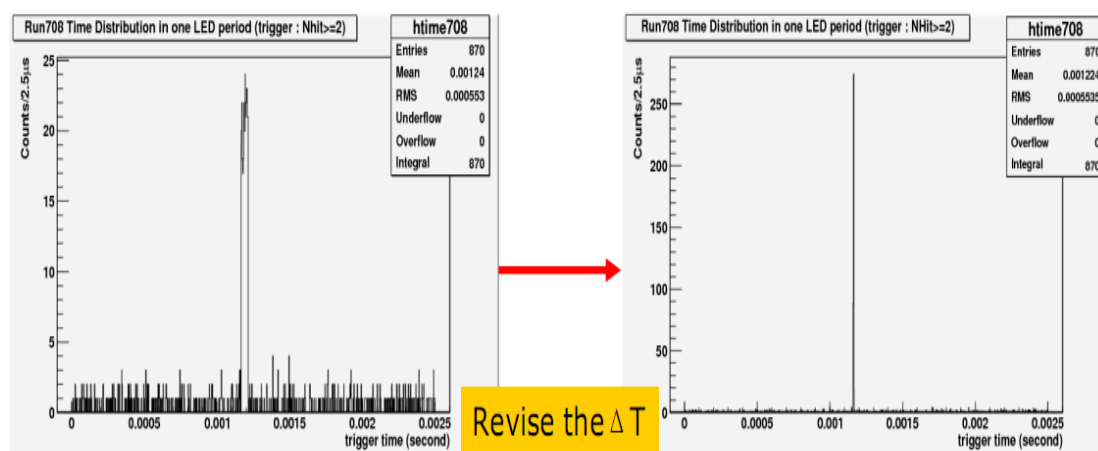


图 8-26 ΔT 修正前后 run708 第 1 秒内 LED 事例在 0-T 时间窗的对比图

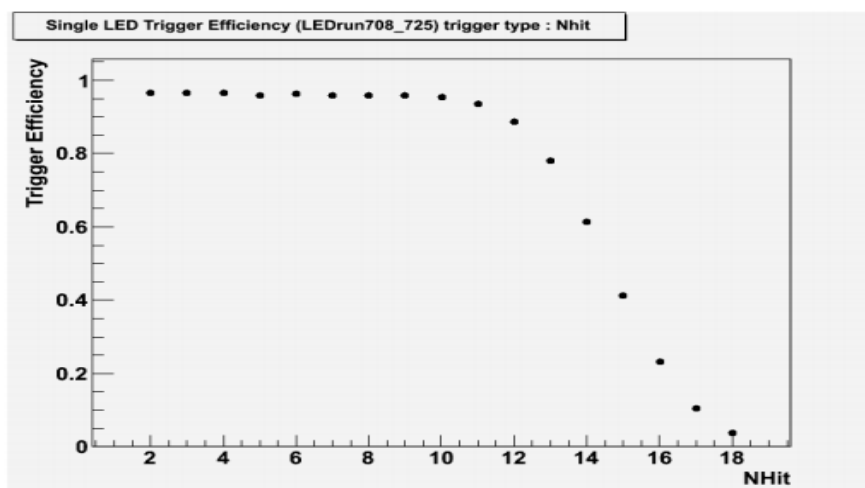


图 8-27 LED 发光周期 ΔT 修正后得到的触发效率曲线

8.5.4 影响触发效率的因素

在对 Dryrun 实验数据进行 LED 事例触发效率研究的过程中，影响触发效率的主要有：

- LED 的性能：LED 的性能直接影响着 LED 事例的触发效率，其发光效率、稳定性是其中最为关键的因子；
- 触发阈值：触发阈值的设置决定着在确定 LED 光强和 PMT 增益的情况下的触发判选状态，过高和过低的触发阈值都将影响着触发效率；
- PMT 的性能：PMT 的性能也同触发效率相关，相同 LED 光强下相对较高的 PMT 增益能够提高触发效率；

8.5.5 触发效率研究小结

在触发效率研究中，提出了一种触发效率计算方法，着重分析了 LED 的晃动时间，求得了修正后的触发效率曲线，并且概括了影响触发效率的主要因素。

8.6 本章小结

本章从 Dryrun 实验介绍出发，阐述了 FEE 插件在 Dryrun 中的成功应用，为后期实验的正式运行打下了基础；同时对 PMT 读出电子学系统进行了分析研究，包括对 FEE 插件的读出窗口进行了研究，分析了 FADC 插件的性能，以及对 LED 事例下的触发效率也进行了相应的计算。

第9章 总结

论文介绍了大亚湾反应堆中微子实验 PMT 读出电子学(FEE)的研究, 大亚湾 PMT 读出电子学在借鉴了 ATLAS 与 BESIII 电子学设计的基础上, 针对大亚湾实验的具体要求进行了设计研究; 同时以 DAQ、模型探测器和 AD 中心探测器为平台, 介绍了 PMT 读出电子学系统的应用, 并在此基础上进行分析研究。

大亚湾 PMT 读出电子学的设计方案具有死时间短、数据处理并行度高、速度快、集成度高、灵活性大等诸多优点。高性能 FPGA 的引入, 使得全部 16 时间测量部分和电荷测量中的数据处理部分以及 VME 接口电路都在一片 FPGA 内部完成, 在 PMT 读出插件内部完成数据的动态暂存、电荷量的提取、电荷一时间数据的拼装, 减少了整个系统的数据传输量, 减轻了 VME 主控制器的数据处理负担。

大亚湾 PMT 读出电子学与国内外同类电路相比, 具有动态范围大、测量精度高、死时间更短等优点; FEE 的测试结果表明, PMT 读出电子学的设计是成功的, 实现了既定设计目标, 能够满足大亚湾实验对 PMT 信号读出的要求; 同时对 FEE 前端信号 PMT 信号的分析, 发现了陶瓷电容在高压下的振荡现象, 这是国内外高能物理实验中首次发现并解决陶瓷电容高压下的振荡现象; 而在 FEE 的数据分析中既从物理角度研究了 FEE 的读出时间窗口长度对物理事例的影响, 又从电子学的角度对 Fadc 插件性能进行了检验; 基于 LED 事例下的触发效率研究也是 FEE 的应用之一, 其对整个大亚湾实验的效率预测有着重要的参考作用。

本文重点讨论的大亚湾实验 PMT 读出电子学已经通过了专家组的验收评审, 然而对 PMT 读出电子学功能的需求扩大化是一个渐进的过程, 大亚湾 PMT 读出电子学仍然有着优化空间, 需要从更多的调试应用实践中走向完善, 从而在将来大亚湾实验的运行中发挥重要的作用!

参考文献

- [1] 大亚湾中微子实验初步设计报告, 2007.8
- [2] 李秋菊, 大亚湾中微子实验 PMT 电荷与时间测量的研究. 硕士论文 2008.4.1.
- [3] 阎石. 数字电子技术基础 (第四版).
- [4] 王铮, BESIII 主漂移室电荷测量的研究, 中国科学院研究生院博士论文, 2002.4
- [5] 江晓山, BESIII 主漂移室时间测量的研究, 中国科学院研究生院博士论文, 2003.4
- [6] 常劲帆, BESIII 电磁量能器电荷测量的研究, 中国科学院研究生院博士论文, 2007.4
- [7] BESIII 电磁量能器读出电子学系统设计报告, 2003
- [8] Michael .Smith, Application-Specific Integrated Circuits
- [9] 孙航, Xilinx 可编程逻辑器件的高级应用与设计技巧
- [10] 康华光, 电子技术基础 模拟部分 (第四版)
- [11] 康华光, 电子技术基础 数字部分 (第四版)
- [12] Howard Johnson, High-Speed Digital Design
- [13] Berkeley Lab, FEI4 设计报告
- [14] C.L.Cowan, F.Reines, F.B.Harrison, H.W.Kruseand, A.D.McGuire, Science 124,103(1956); Phys.Rev.92, 830(1953).
- [15] G.Danby, J.M.Gaillard, K.Goulianos, L.M.Lederman, N.Mistry, M.Schwartzand J.Steinberger, Phys.Rev.Lett.9, 36(1962).
- [16] DONUT Collaboration, K.Kodama et al., Phys.Lett.B504,218(2001), hep-ex/0012035.
- [17] Benjamin W.Lee et al., Phys.Rev.Lett.39, 165(1977)
- [18] Pontecorvo, Sov.Phys.JETP26,984; V.N.Gribov and B.Pontecorvo, Phys.Lett.28B, 493(1969)
- [19] Super-Kamiokande Collaboration, Y.Fukuda et al., Phys.Rev.Lett.81, 1158, hep-ex/9805021.
- [20] SNO Collaboration, Q.R.Ahmad et al., Phys.Rev.Lett.87,071301(2001), nucl-ex/0106015;
- [21] KamLAND Collaboration, K.Eguchi et al., Phys.Rev.Lett.90,021802(2003), hep-ex/0212021.
- [22] KamLAND Collaboration, T.Araki et al., Phys.Rev.Lett.94,081801(2005), hep-ex/0406035
- [23] L.Wolfenstein, Phys.Rev.D17,2369(1978); S.P.Mikheyev and A.Yu.Smirnov, Sov.J. Nucl.Phys.42,913(1985). For a review, see: T.K.Kuo and J.Pantaleone, Rev.Mod.Phys.61,937(1989).
- [24] Kamiokande-II Collaboration, K.S.Hirata et al., Phys.Lett.B205,416(1988);

- Phys.Lett.B280,146(1992); KamiokandeCollaboration,Y. Fukuda et al.,Phys.Lett.B335,237(1994).
- [25] D.Casper et al. ,Phys.Rev.Lett.66,2561(1991); R.Becker-Szendy et al.,Phys.Rev.Lett.69, 1010(1992); Nucl.Phys.Proc.Suppl.38,331(1995).
- [26] Soudan2Collaboration,W.W.M.Allison et al.,Phys.Lett.B391,491(1997).
- [27] MARCO Collaboration,M.Ambrosio et al.,Phys.Lett.B434,451(1998).
- [28] Super-KamiokandeCollaboration,Y.Fukuda et al.,Phys.Lett.B436,33(1998), hep-ex/9805006;Phys.Rev.Lett.81,1562(1998),hep-ex/9807003.
- [29] K2K Collaboration, M.H.Ahn et al.,Phys.Rev.Lett.90,041801(2003),hep-ex/0212007.
- [30] CHOOZ Collaboration, M.Apollonio et al.,Phys.Lett.B420,397(1998),hep-ex/9711002; Phys.Lett.B466, 415(1999),hep-ex/9907037.
- [31] Palo Verde Collaboration, F.Boehm et al.,Phys.Rev.Lett.84,3764(2000),hep-ex/9912050.
- [32] B.Kayser,“Neutrino Mass,Mixing,And Flavor Change”, .Phys.G:Nucl.Part.Phys.33, (2006)
- [33] KamLAND Collaboration, Phys.Rev.Lett.100 § 221803(2008);
- [34] SNO Collaboration, Phys.Rev.Lett.101 § 111301(2008);
- [35] MINOS Collaboration,FERMILAB-PUB-08-168-E,arXiv:hep-ex/0806.2237(2008)
- [36] K2KCollaboration,arXiv:hep-ex/0606032v3(2006)(Dated:February4,2008)
- [37] 钟伟丽, 大亚湾实验中心探测器和 Δm_{31}^2 精度的研究,
- [38] Daya Bay Collaboration, arXiv: hep-ex/0701029, 2007
- [39] R. Santonico, R. Cardarelli. Nucl. Instr. and Meth. A 187 (1981)
- [40] 王松林,大亚湾中微子探测器能量刻度的相关实验研究, 兰州大学硕士论文, 2009.5
- [41] 黄隆锦, 大亚湾反应堆中微子振荡实验 RPC 读出电子学光纤数据传输系统设计, 中国科学技术大学硕士论文, 2009.5
- [42] 袁苑, 大亚湾中微子实验 RPC 电子学原型机读出插件的研制, 中国科学技术大学硕士论文, 2009.5
- [43] 杨衍, 大亚湾中微子实验中 RPC 电子学前端读出板和读出插件的研制, 中国科学技术大学博士论文,2010.4
- [44] DAQ Technical Design Report
- [45] DCS Technical Design Report
- [46] 曾治槐等, 光电倍增管基础及应用, 北京滨松光子技术有限公司, 1995
- [47] 虞孝麒,《核电子学方法》,中国科学技术大学, 内部教材

- [48] 王经谨等,《核电子学》
- [49] The VMEbus Specification,VMEbus ITA,1987
- [50] Virtex- 4 系列概述, XILINX Inc, 2007
- [51] <http://www.hamamatsu.com/>
- [52] <http://www.linear.com/>
- [53]<http://www.kemet.com/kemet/web/homepage/kfbk3.nsf/vaFeedbackFAQ/242F5F2E69DCEC7485256EDF004CA495>
- [54] <http://www.wiener-d.com/>
- [55] M. Vanden Bossche, J. Schoukens, J. Renneboog, Dynamic Testing and Diagnostics of A/D Converters, IEEE Trans.Circuits Syst., Vol. CAS-33, No.8, August 1986
- [56] Joey Doernberg et al., Full-Speed Testing of A/D Converters, IEEE J. Solid-State Circuits, Vol. SC-19, No.6, December 1984
- [57] Walt. Kestes, Flash ADCs Provide the Basis for High-Speed Conversion (Flash-ADC Testing Part 1), EDN January 4, 1990
- [58] H.B.Crawley et al. Testing ADC' S at sample rates from 20 to 120 MSPS, IEEE NS-40, No.4, p729, Aug. 1993
- [59] 王志民, 中微子探测器模型的研究, 2009.4
- [60] 季筱璐, 大亚湾中微子实验数据获取系统的研究与实现, 2010.4
- [61] 陆浩奇, 大亚湾反符合水切伦科夫探测器及其模型的研究, 2009.4
- [62] 向海生, 高速波形取样技术研究及应用, 2010.4
- [63] Von der Fakultat fur Mathematik et al., DESIGN STUDIES FOR THE DOUBLE CHOOZ TRIGGER

发表文章

- [1] Jiang Wenqi /Wang Zheng Study on PMT Ringing Signals of the Daya Bay Neutrino Experiment 2010 IEEE NSS & MIC N47-83;
- [2] 蒋文奇，王铮等；大亚湾中微子实验光电倍增管输出振铃脉冲的分析研究，《核电子学与探测技术》（已录用）；

致 谢

光阴荏苒，转眼五年已经过去了，至今回想起当时的情景仍历历在目；在这五年里，我成长了很多，收获更多。在这里由衷感谢所有给予我指导、关心、帮助支持的人，是你们让我走到今天。

首先，衷心感谢我的导师王贻芳研究员，他严谨的治学态度、渊博的专业知识、孜孜不倦的敬业精神和诲人不倦的育人品德，给了我专业上的指引以及为人处事上的谆谆教诲，在此对他表示深深的敬意！

其次，感谢我的副导师王铮研究员，在几年的学习、科研中，王老师给予了我极大的指导和帮助。王老师对待科研的认真严谨，是我工作学习的榜样。正是在王老师的指导和帮助下，我才能顺利完成博士课题。在此，我向他表示最真挚的感谢。

感谢常劲帆老师和李秋菊老师，感谢你们给予我生活的照顾和学习上的帮助。

感谢顾树棣研究员和王佩良研究员，他们渊博的知识、丰富的经验给了我很大的帮助，他们一丝不苟的科研态度，事必躬亲的科研精神让我深深折服。

感谢电子学组、触发组、DAQ 组的各位老师，感谢中心办公室的各位老师，感谢你们这么多年来对我学习和生活上的帮助。

感谢电子学一组的兄弟姐妹，感谢魏微、陆卫国、吕继方、严雄波、吴文欢、罗江平、樊磊、张骥、张妍、萧腾飞、鲁景、王庆娟、何帅，感谢你们让我的日常生活变得丰富多彩；感谢徐昊、王科、龚文煊、卢云鹏、李陆、王强，感谢你们给我的生活增添了很多乐趣；感谢大亚湾组的吴群、季筱露、何苗、占亮、丁雅韵、王志民、陆浩奇、关梦云、温良剑、李小波、王玲玉、安丰鹏、张一纯、陈晓辉、陈晓苏、夏冬梅、章飞虹、葉永順、Soeren Jetter、Viktor Pec，感谢你们在大亚湾合作组中对我的帮助；感谢所篮球队和中心篮球队的同仁们，是你们给我的生活增加了调味剂。

感谢马飞、酆强、郑小斌、王玛咪、孙灵灵、成峰、茹银松、王安鑫、周萍、童琴、王雅芳、叶葳蕤、沈丽君、李菁菁、秦天慧、杨熙、孙伟峰、王艳芳、酆丽英、毕道琨、邢溪、喻言、王乐等等，是你们这帮好朋友陪我走过了 5 年的博士生活。

最后感谢我的父母，你们永远是我的港湾，不管在什么情况下都支持着我，给予我最无私的爱，从来不跟我索求什么，再多的言语也无法表达我对你们的感激之情，唯用一生来报答你们。

要感谢的人太多太多，最后由衷感谢所有给予我指导、关心、帮助支持的人，谢谢你们！

附 录

DYB FEE VME Interface Descriptions

FEE board is standard 9U VME (340mm deep) module, using 24-bit address bus and 32-bit data bus. 16 channels two range ADC (12Bit) and TDC are housed in each FEE board. ADC peak and TDC data are packaged together with channel ID and event number and can be read out by PowerPC through VME bus using Chained Block Transfer (CBLT) which is defined in American National Standard for VME64 Extensions for Physics and Other Applications (ANSI/VITA 23-1998).

The module address, i.e., card address is given by the geographical address of VME backplane (GA [4:0]), which means FEE board will get individual module address when the board housed in different VME crate slots. The base addresses of modules in different slots are shown in table-1. For example, the module base address is 0x200000 when inserted in slot 4.

Table-1 FEE module base address in different slots

Position	Base address	Position	Base address
SLOT3	0x180000	SLOT11	0x580000
SLOT4	0x200000	SLOT12	0x600000
SLOT5	0x280000	SLOT13	0x680000
SLOT6	0x300000	SLOT14	0x700000
SLOT7	0x380000	SLOT15	0x780000
SLOT8	0x400000	SLOT16	0x800000
SLOT9	0x480000	SLOT17	0x880000
SLOT10	0x500000	SLOT18	0x900000

Data including trigger number, charge, ADC range, peaking cycle, TDC data and hit count can be readout using CBLT. CBLT base address is 0x01000000. For detail CBLT readout data format please refer to DocDB-3618.

The address and function of each register are listed in Table-2. VME controller can access these registers using standard VME A24/D32 read and write operations. The VME address of register=module base address + bias address.

Table-2 List of registers, bias addresses and functions

Register name	bias address	operation	Function
Reconfigure FPGA	0x2400	W	Start Reconfigure FPGA. After this command, need to wait until configuration done (4 seconds)
Reset IdelayCtrl	0x3400	W	Reset IdelayCtrl unit for input I/O delay. Needed once after reconfigure FPGA.
Reset Idelay	0x4000	W	Only for FEE debug purpose
Reset dcm320m	0x4400	W	Only for FEE debug purpose
Reset dcm80m	0x3c00	W	Only for FEE debug purpose
Delay adjust	0x4800	W	Only for FEE debug purpose, adjust input delay for one step according to relative enable register
Channel delay enable register	0x4900	W	Only for FEE debug purpose, 32bits enable individual 32 data input channel from FADC
FCO delay enable register	0x4A00	W	Only for FEE debug purpose, 4bits enable individual 4 frame input from FADC
Power On Reset	0xA000	W	Module reset, only needed once

			after power up before start any other operations
Reset	0xA900	W	Reset all state machines and clear all buffers and reset trigger counter, etc
Control and Status Register (CSR)	0xA100	Read/Write	19-bit for setting the mode of FEE board and read back the status of FEE board. See table-3
nPMT test pattern	0xA200	W/R	Low five bits only D[4:0], using these generate nPMT test output
Trigger delay	0xA300	W/R	Number of clock cycles for trigger delayed on FEE board. Typical = 0x14 Effective when CSR[6] is 1.
FEE board version	0xAA00	R	32bit, higher 8-bit is PCB version. The next three 8-bits is the date of firmware written, YYMMDD
Number of event for read request	0x5000	W/R	When number of triggers buffered in FEE board is greater or equal to this number, FEE boards send to trigger a read request
Number of triggers for each CBLT readout	0x5100	W/R	Typical : 1
Maximum number of hits recorded per channel for each trigger	0x5200	W/R	Typical : 1
Number of un-read events /triggers	0x5300	R	Number of un-read triggers in readout buffer

Check Number register	0x5800	W/R	When FEE board in Test mode, it generates trigger check by itself every 256 trigger. In order to test this function easily, this register can be changed. Typical: 0xff
Threshold DAC1 command register	0x7000	W/R	Command word for DAC1 (for ch1 to ch8). Details are shown in figure1
Threshold DAC1 execute register	0x7100	W	Execute the command for DAC1
Threshold DAC2 command register	0x7200	W/R	Command word for DAC2. (for ch9 to ch16)
Threshold DAC2 execute register	0x7300	W	Execute the command for DAC2
Test DAC Reg1	0x6000	W/R	Low 16 bits. baseline value for test signal
Test DAC Reg2	0x6100	W/R	Store the data2 for calibration
Test DAC Reg3	0x6200	W/R	Store the data3 for calibration
Test DAC Reg4	0x6300	W/R	Store the data4 for calibration
Test Start Register	0x6800	W	Generate one calibration pulse
Test Channel Enable	0x6900	W/R	16-bit register. Each bit corresponding to one channel on FEE board. Bit[0] is channel 0, bit[15] is channel 15. When bit[0] is 1, test signal to ch0 is enabled. When bit[0] is 0, test signal to ch0 is disabled.
Test Trigger Delay	0x6A00	W/R	8-bit register, b[7:0], should be ≥ 7 Typical value 17.

ADC data Reg	CH 1	0xB000	R	Read the ADC output data of both ranges at current time (D [31:0]). Each channel has 2 ADCs, low range ADC (L [0:11]) and high range ADC (H [0:11]). D[31:0]={4'h0, H[0:11],4'h0, L[0:11]} D[31:28],D[27:16], D[15:12], D[11:0] Caution: the data H [0:11] and L [0:11] is LSB first, needed to turn to the right bit order.
	CH 2	0xB100		
	CH 3	0xB200		
	CH 4	0xB300		
	CH 5	0xB800		
	CH 6	0xB900		
	CH 7	0xBA00		
	CH 8	0xBB00		
	CH 9	0xC000		
	CH 10	0xC100		
	CH 11	0xC200		
	CH 12	0xC300		
	CH 13	0xC800		
	CH 14	0xC900		
	CH 15	0xCA00		
	CH 16	0xCB00		
Time Counter		0x7B00	R	Read current value of 15-bit 40M time counter
CBUF data Reg	CH 1	0x8000	R	Each channel has a CBUF, Data readout from the CBUF register data is D[31:0]. Data format is the same with charge word and time word defined in DocDB-3618.
	CH 2	0x8010		
	CH 3	0x8020		
	CH 4	0x8030		
	CH 5	0x8040		
	CH 6	0x8050		
	CH 7	0x8060		
	CH 8	0x8070		
	CH 9	0x8080		
	CH 10	0x8090		
	CH 11	0x80A0		

	CH 12	0x80B0		
	CH 13	0x80C0		
	CH 14	0x80D0		
	CH 15	0x80E0		
	CH 16	0x80F0		
Buffer status register	CH 1	0x8100	R	Show the buffer status of individual channels. D[9:0] is number of data stores in event buffer. (event buffer length is max 500) D[19:10] is number of hits stores in pipeline buffer. (buffer length is max 511) The CBUF is dynamic, when a data in, the length increases, and a data out, it decreases.
	CH 2	0x8110		
	CH 3	0x8120		
	CH 4	0x8130		
	CH 5	0x8140		
	CH 6	0x8150		
	CH 7	0x8160		
	CH 8	0x8170		
	CH 9	0x8180		
	CH 10	0x8190		
	CH 11	0x81A0		
	CH 12	0x81B0		
	CH 13	0x81C0		
	CH 14	0x81D0		
	CH 15	0x81E0		
	CH 16	0x81F0		
PMT dark count register	CH 1	0x8200	R	Read the dark count of each channel in 0.104 second
	CH 2	0x8210		
	CH 3	0x8220		
	CH 4	0x8230		
	CH 5	0x8240		
	CH 6	0x8250		
	CH 7	0x8260		
	CH 8	0x8270		

	CH 9	0x8280		
	CH 10	0x8290		
	CH 11	0x82A0		
	CH 12	0x82B0		
	CH 13	0x82C0		
	CH 14	0x82D0		
	CH 15	0x82E0		
	CH 16	0x82F0		
Waveform fifo	CH 1	0x8300	R	One individual 32-bit FIFO for each PMT channel. The FIFO length is 420 words. Waveform data for one PMT channel for one trigger has 42 words, one data head, 40 data and one data foot. Head: D[31:28]-0x6, D[19:16]-channel id, D[15:8]-trigger number Data: D[29:24]-count number(1-40), D[23:12]-coarse range ADC wave, D[11:0]-fine range ADC wave Foot: D[31:28]-0x9, D[19:16]-channel id, D[15:8]-trigger number
	CH 2	0x8310		
	CH 3	0x8320		
	CH 4	0x8330		
	CH 5	0x8340		
	CH 6	0x8350		
	CH 7	0x8360		
	CH 8	0x8370		
	CH 9	0x8380		
	CH 10	0x8390		
	CH 11	0x83A0		
	CH 12	0x83B0		
	CH 13	0x83C0		
	CH 14	0x83D0		
	CH 15	0x83E0		
	CH 16	0x83F0		

Table-3 CSR (Control and Status Register) Bit definition

Lower 16 bits CSR [15:0] are control bits. VME master can read and write these bits.
Higher 16 bits is read only status bits.

Bit	Op.	“1” definition	“0” definition	Typical value
0	W/R	CBLT Enable	CBLT disable	1
1	W/R	CBLT First Board	NOT CBLT first board	1 or 0
2	W/R	CBLT Last Board	NOT CBLT last board	1 or 0
3	W/R	ADC pedestal using one sampling data	ADC pedestal using the average of four sampling data	0
4	W/R	Not defined	Not defined	-
5	W/R	Disable all triggers including local trigger, cross trigger and trigger for FEE self test	Enable triggers	0
6	W/R	Trigger signal is delayed in FPGA for number of clock cycles defined in trigger delay register (0xA300)	No trigger delay	0 or 1
7*	W/R	Enable Test DAC clock, Self test mode	disable Test DAC clock, Online mode	0
8	W/R	ADC (AD9222) outputs the debug data 0x800	ADC (AD9222) outputs the normal data	0

9*	W/R	Connect analog switch, connect the Test signal into main signal path. Self Test mode	Cut off the Test signal from main signal path. Online mode	0
11,1 0	W/R	CSR[11:10] set nPMT output format : when 00, output real time nPMT when 01, output looped number from 0 to 31 when 10, output data set by register “nPMT test pattern” (0xA200)		00
12*	W/R	Self test mode	external trigger mode Online mode	0
13	W/R	Generate Self Test signal for individual FEE board through individual VME command when in Test mode.	Generate Self Test signal when FEE board receives trigger from LTB (only when FEE in Self Test mode).	1
14	W/R	Wavefifo full out to LTB enable	Wavefifo full out to LTB disable	0
15	W/R	Trigger number check disable	Trigger number check enable	0
16	R	Threshold DAC1 is busy	Threshold DAC1 is ready	0
17	R	Threshold DAC2 is busy	Threshold DAC2 is ready	0
18	R	Calibration DAC is busy	Calibration DAC is ready	0
19	R	Unread event greater or equal than N	Unread event less than N	0 or 1

20	R	Buffer Full	Event buffer not full	0
21	R	Buffer Almost Full (flag to LTB to block trigger) Event buffer length greater than 398	Event buffer length less or equal than 398	0
22	R	WaveFifo full	WaveFifo not full	0
23	R	IdelayCtrl not ready	IdelayCtrl ready	0

(*) bit 7, 9, 12 have to be set the same number

Table-4 Flash Access VME Commands

Register name	bias address	operation	Function
Reset CPLD	0xFC00	W	Reset all state machines in CPLD
Reset flash address	0xF400	W	Reset flash address to 0
Flash address plus 1	0xEC00	W	Increase flash address by 1
Flash access control register	0xd400	W/R	Only bit[0] is used. bit[0]: 1-VME bus access flash 0-configuration logic access flash
Set flash address to board_id	0x4C00	W	Set flash address to 0x3FFFF0 for read and write board_id. Address for board serial number register is 0x3FFFF1. one Flash address plus 1 command can be used to change flash address from 0x3FFFF0 to 0x3FFFF1

Reset flash	0x0400	W	Flash Reset
Write to flash	0x0C00	W	Write a byte to flash current address
CPLD csr	0x1400	R	3bit CSR bit[0]: 0-flash busy, 1-flash ready bit[1]: 0-IdelayCtrlReady, 1-IdelayCtrlError bit[2]: 0-Dcms ready, 1-Dcms error
Read flash	0x1C00	R	Read a byte from flash on current address
CPLD version register	0x2C00	R	Bit[2:0] shows the current version of CPLD

FEE CBLT Data format

CBLT Module Head

31 ₀	30 ₀	29 ₀	28 ₀	27 ₀	26 ₀	25 ₀	24 ₀	23 ₀	22 ₀	21 ₀	20 ₀	19 ₀	18 ₀	17 ₀	16 ₀	15 ₀	14 ₀	13 ₀	12 ₀	11 ₀	10 ₀	9 ₀	8 ₀	7 ₀	6 ₀	5 ₀	4 ₀	3 ₀	2 ₀	1 ₀	0 ₀
0 ₀	0 ₀	1 ₀	0 ₀	GA[4:0] ¹ ₀					0 ₀	0 ₀	0 ₀	Module Type ² ₀					0 ₀														

¹GA: VME Module Geographic Address²Module Type: is 0x01 for PMT FEE board**Data Head**

31 ₀	30 ₀	29 ₀	28 ₀	27 ₀	26 ₀	25 ₀	24 ₀	23 ₀	22 ₀	21 ₀	20 ₀	19 ₀	18 ₀	17 ₀	16 ₀	15 ₀	14 ₀	13 ₀	12 ₀	11 ₀	10 ₀	9 ₀	8 ₀	7 ₀	6 ₀	5 ₀	4 ₀	3 ₀	2 ₀	1 ₀	0 ₀
0 ₀	1 ₀	0 ₀	0 ₀	Data format ver ⁹ ₀					0 ₀	Trigger Type ³ ₀					Check info[7:0] ⁴ ₀					Trigger number[7:0] ⁵ ₀											

⁹Data format version: now is version 2, should be 0010.³Trigger type: 0000 – local trigger, 0001 – cross trigger⁴Check info: bit[1]: 1-check, 0-no check. bit[0]: 1-error, 0-no error. bit[7:2]: not defined.⁵Trigger number: 8-bit loop integer starts from 0.**Charge (Q)**

31 ₀	30 ₀	29 ₀	28 ₀	27 ₀	26 ₀	25 ₀	24 ₀	23 ₀	22 ₀	21 ₀	20 ₀	19 ₀	18 ₀	17 ₀	16 ₀	15 ₀	14 ₀	13 ₀	12 ₀	11 ₀	10 ₀	9 ₀	8 ₀	7 ₀	6 ₀	5 ₀	4 ₀	3 ₀	2 ₀	1 ₀	0 ₀	
0 ₀	1 ₀	1 ₀	Channel id[3:0] ₀					Range ⁵ ₀					Pedestal[11:0] ¹⁰ ₀								Charge[11:0] ₀											

⁵Range: 0 – low range, 1 – high range¹⁰Pedestal[11:0]: updated on version5, new pedestal value is 1/4 of the former one.**Time (T)**

31 ₀	30 ₀	29 ₀	28 ₀	27 ₀	26 ₀	25 ₀	24 ₀	23 ₀	22 ₀	21 ₀	20 ₀	19 ₀	18 ₀	17 ₀	16 ₀	15 ₀	14 ₀	13 ₀	12 ₀	11 ₀	10 ₀	9 ₀	8 ₀	7 ₀	6 ₀	5 ₀	4 ₀	3 ₀	2 ₀	1 ₀	0 ₀	^a
1 ₀	0 ₀	0 ₀	Channel id[3:0] ₀				Peaking cycle[3:0] ₀				Hit Count[3:0] ⁶ ₀				Time[16:0] ₀																^a	

⁶Hit Count: When there are more than one hit per trigger. The first hit count is 1 and the 2nd last hit count is 2, and so on. Maximum Hit Count is equal to Max_Num_Of_Hit_Per_Trigger Register (address 0x5200).**Data Foot**

31 ^a	30 ^a	29 ^a	28 ^a	27 ^a	26 ^a	25 ^a	24 ^a	23 ^a	22 ^a	21 ^a	20 ^a	19 ^a	18 ^a	17 ^a	16 ^a	15 ^a	14 ^a	13 ^a	12 ^a	11 ^a	10 ^a	9 ^a	8 ^a	7 ^a	6 ^a	5 ^a	4 ^a	3 ^a	2 ^a	1 ^a	0 ^a	^a
1 ^a	0 ^a	1 ^a	0 ^a	0 ^a				Trigger number[7:0] ^a								0 ^a				Data transfer length[9:0] ^{7a}												

⁷Data transfer length: Number of data bytes from Data Head to Data Foot.**CBLT Module Foot**

31 ₀	30 ₀	29 ₀	28 ₀	27 ₀	26 ₀	25 ₀	24 ₀	23 ₀	22 ₀	21 ₀	20 ₀	19 ₀	18 ₀	17 ₀	16 ₀	15 ₀	14 ₀	13 ₀	12 ₀	11 ₀	10 ₀	9 ₀	8 ₀	7 ₀	6 ₀	5 ₀	4 ₀	3 ₀	2 ₀	1 ₀	0 ₀	^a
1 ₀	1 ₀	0 ₀	0 ₀	GA[4:0] ₀					0 ₀	0 ₀	0 ₀	0 ₀	Data transfer length[15:0] ₀ ⁸															^a				

⁸Data transfer length: Number of data bytes from CBLT Module Head to CBLT Module Foot.